

특허청

정보통신심사본부
영상기기심사팀

심사관

김남인



심사관

김연호



2007.09.10

관리자 :	본부장	팀장	파트장
	-	김연호	-

<< 안내 >>

귀하께서는 특허법제47조제2항의 규정에 의하여 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위 안에서 명세서 또는 도면을 보정할 수 있음을 알려드립니다.

(참고 : 최후거절이유통지 후 및 특허거절결정에 대한 심판 청구시의 보정은 상기 요건보다 더 엄격한 기준이 적용됨을 알려드립니다)

※ 다만, 2001년 7월 1일 전에 제출된 특허출원의 경우에는 구 특허법(2001.2.3. 법률 제6411호로 개정되기 전의 것) 제47조제2항의 규정에 의하여 특허출원서에 최초로 첨부된 명세서 또는 도면의 요지를 변경하지 아니하는 범위 안에서 명세서 또는 도면을 보정할 수 있습니다.

※ 보정료 납부안내

- 명세서 또는 도면을 보정하기 위하여 명세서등 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

- 보정료는 접수번호를 부여받아 이를 납부자번호로 "특허료등의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·휴일)을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

- 보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로(www.giro.or.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 통상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

※ 서식 또는 절차에 대하여는 특허고객 콜센터(☎1544-8080)로 문의하시기 바라며, 기타 문의사항이 있으시면 ☎042-481-8583(담당심사관 김남인)로 문의하시기 바랍니다.

※ 우 302-701 대전광역시 서구 선사로 139(둔산동 920) 정부대전청사 특허청

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/30

(11) 공개번호 특2001-0052029
(43) 공개일자 2001년06월25일

(21) 출원번호	10-2000-0071648
(22) 출원일자	2000년11월29일
(30) 우선권주장	99-338786 1999년11월29일 일본(JP) 2000-086968 2000년03월27일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자끼 순페이
(72) 발명자	일본국 가나가와켄 아쓰기시 하세 398 아누카이카츠타카
(74) 대리인	일본가나가와켄243-0036,아츠기시,하세,398,가부시키가이샤한도오따이에네루기켄큐쇼내 이병호

심사청구 : 없음

(54) 전자 장치

요약

본 발명의 목적은 선명한 컬러 그레이 스케일 디스플레이를 실행할 수 있는 능동 매트릭스 전자 장치를 제공하는 것이다. 상기 전자 장치는 다수의 픽셀들이 소스 신호선, 제 1 게이트 신호선, 제 2 게이트 신호선, 및 전력 공급선으로 둘러싸인 픽셀부를 구비하고, 다수의 픽셀들이 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 각각 구비하는 것을 특징으로 한다.

대표도

도1

색인어

픽셀부, EL 구동 TFT, 소거 TFT, 그레이 스케일

명세서

도면의 간단한 설명

- 도 1는 본 발명의 EL 디스플레이의 회로 구조를 도시하는 도면.
- 도 2는 본 발명의 EL 디스플레이의 픽셀부의 회로 구조를 도시하는 도면.
- 도 3는 본 발명의 EL 디스플레이의 픽셀의 회로 구조를 도시하는 도면.
- 도 4는 본 발명의 EL 디스플레이의 구동 방법을 도시하는 도면.
- 도 5는 본 발명의 EL 디스플레이의 구동 방법을 도시하는 도면.
- 도 6a 및 6b는 본 발명의 EL 디스플레이의, 각각의, 평면도 및 단면도를 도시하는 도면.
- 도 7a 및 7b는 본 발명의 EL 디스플레이의, 각각의, 평면도 및 단면도를 도시하는 도면.
- 도 8는 본 발명의 EL 디스플레이의 단면도를 도시하는 도면.
- 도 9는 본 발명의 EL 디스플레이의 단면도를 도시하는 도면.
- 도 10a 내지 10c는 본 발명의 EL 디스플레이의 픽셀부의 회로 구조를 도시하는 도면.
- 도 11a 내지 11e는 본 발명의 EL 디스플레이의 제조 공정을 도시하는 도면.
- 도 12a 내지 12d는 본 발명의 EL 디스플레이의 제조 공정을 도시하는 도면.
- 도 13a 내지 13d는 본 발명의 EL 디스플레이의 제조 공정을 도시하는 도면.
- 도 14a 내지 14c는 본 발명의 EL 디스플레이의 제조 공정을 도시하는 도면.
- 도 15는 본 발명에서 사용된 소스 신호선 구동 회로의 회로 구조를 도시하는 도면.
- 도 16는 본 발명에서 사용된 래치 회로의 평면도를 도시하는 도면.

레인 영역에 관하여, 하나는 아날로그 비디오 신호를 입력하는 소스 신호선(또는 데이터 신호선으로 칭함)(S1 내지 Sx)에 접속되고, 반면에 다른 하나는 각각의 픽셀의 EL 구동 TFT(1804) 및 커패시터(1808)에 각각 접속된다.

각각의 픽셀들의 EL 구동 TFT(1804)의 소스 영역은 전력 공급선(V1 내지 Vx)에 접속되고, 드레인 영역은 그로부터 EL 소자(1806)에 각각 접속된다. 전력 공급선(V1 내지 Vx)의 전위는 전력 공급 전위로 칭한다. 각각의 전력 공급선(V1 내지 Vx)은 각각의 픽셀들의 커패시터(1808)에 접속된다.

EL 소자(1806)는 애노드, 캐소드, 및 그 사이에 삽입된 EL 층으로 구성된다. EL 소자(1806)의 애노드가 EL 구동 TFT(1804)의 소스 영역 또는 드레인 영역에 접속될 때, EL 소자(1806)의 애노드 및 캐소드는 픽셀 전극 및 대향 전극으로 각각 된다. 대안적으로, EL 소자(1806)의 캐소드가 EL 구동 TFT(1804)의 소스 영역 또는 드레인 영역에 접속되면, EL 소자(1806)의 애노드는 대향 전극이 되고, 반면에 캐소드는 픽셀 전극이 된다.

본 발명에서, 대향 전극의 전위는 대향 전위로 언급되며, 대향 전극에 대해 대향 전위를 인가하는 전력 공급은 대향 전력 공급으로 언급된다. 픽셀 전극의 전위와 대향 전극의 전위간의 전위차인, EL 구동 전압은 EL 층에 인가된다.

도 19는 아날로그 시스템에 의해 구동될 때, 도 18에 도시된 EL 디스플레이를 도시하는 흐름도이다. 하나의 게이트 신호선의 선택으로부터 다음의 다른 게이트 신호선까지의 기간은 1 라인 기간(L)으로 칭해진다. 또한, 하나의 이미지의 디스플레이로부터 다음 이미지의 디스플레이까지의 기간은 1 프레임 기간(F)과 대응한다. 도 18의 EL 디스플레이의 경우에, "y"개의 게이트 신호선들이 있으므로, "y"개의 라인 기간(L1 내지 Ly)은 1 프레임 내에 공급된다.

1 프레임 기간내에 다수의 라인 기간들은 해상도가 더 높아지기 때문에, 구동 회로는 고주파에서 구동되어야 한다.

우선 첫째로, 전력 공급선들(V1 내지 Vx)은 일정한 전위로 유지되고, 또한 대향 전극의 전위인 대향 전극은 또한 일정한 전위로 유지된다. EL 소자가 광을 방사할 수 있는 정도에 대한 대향 전위와 전력 공급 전위사이의 전위 차가 있다.

게이트 신호선 구동 회로로부터 선택신호는 제 1 라인 기간(L)에서 게이트 신호선(G1)에 제공된다. 아날로그 비디오 신호는 그후에 연속적으로 소스 신호선들(S1 내지 Sx)에 입력된다. 게이트 신호선(G1)에 접속된 모든 스위칭 TFTs는 턴온되어, 스위칭 TFT를 통해 EL 구동 TFT의 게이트 전극에 대한 소스 신호선들에 입력되는 아날로그 비디오 신호를 제공한다.

EL 구동 TFT의 채널 형성 영역에서 흐르는 전류의 양은 EL 구동 TFT의 게이트 전극에 입력된 신호의 전위 레벨(전압)에 의해 제어된다. 따라서, EL 소자의 픽셀 전극에 인가된 전위는 EL 구동 TFT의 게이트 전극에 입력된 아날로그 비디오 신호의 전위 레벨에 의해 결정된다. 이와 같이, EL 소자에 의한 광의 방사는 아날로그 비디오 신호의 전위에 의해 제어된다.

상술된 동작은 반복되고, 제 1 라인 기간(L)은 소스 신호선들(S1 내지 Sx)에 대한 아날로그 비디오 신호의 입력을 완료할 때, 종료한다. 소스 신호선들(S1 내지 Sx)에 대한 아날로그 비디오 신호 입력을 완료할 때까지의 기간 및 수평 귀선 기간은 하나의 라인 기간으로 결합될 수 있다는 것을 주목하라. 다음에, 선택 신호는 제 2 라인 기간(L2)에서 게이트 신호선(G2)에 제공된다. 제 1 라인 기간(L1)과 유사하게, 아날로그 비디오 신호는 연속적으로 소스 신호선들(S1 내지 Sx)에 연속하여 입력된다.

선택 신호들이 모든 게이트 신호선들(G1 내지 Gy)에 입력될 때, 모든 라인 기간들(L1 내지 Ly)은 완료되어 1 프레임 기간을 완료한다. 디스플레이는 하나의 이미지를 형성하기 위해 1 프레임 기간에 모든 픽셀들에 의해 실행된다. 모든 라인 기간(L1 내지 Ly) 및 수직 귀선 기간은 하나의 프레임 기간으로서 결합될 수 있다는 것을 주목하라.

이와 같이, EL 소자에 의해 방사된 광의 양은 아날로그 신호에 의해 제어되므로, 그레이 스케일 디스플레이는 방사된 광의 양의 이러한 제어로써 실행된다. 이러한 시스템은 그레이 스케일 디스플레이가 소스 신호선들에 제공된 아날로그 비디오 신호의 전위 변화에 의해 실행되는 소위 아날로그 구동 방법으로 칭하는 구동 시스템이다.

EL 소자에 공급된 전류의 양이 EL 구동 TFT의 게이트 전압에 의해 제어되는 상태는 도 20a 및 20b를 사용하여 자세히 설명될 것이다.

도 20a는 EL 구동 TFT의 트랜지스터 특성을 도시하는 그래프이다. 참조 번호(401)에 의해 표시된 곡선은 $I_{DS} - V_{GS}$ 로 특성(또는 $I_{DS} - V_{GS}$ 커브(curve))으로 참조되고, I_{DS} 는 드레인 전류이고, V_{GS} 는 게이트 전압이다. 임의의 게이트 전압에 대한 전류 흐름의 양은 이 그래프로부터 이해될 수 있다.

상기 $I_{DS} - V_{GS}$ 특성에서 참조 번호(402)에 의해 지시된 점선내의 영역은 통상적으로 EL 소자를 구동하는 범위이다. 점선내의 영역(402)의 확대도는 도 20b에서 도시된다.

도 20b에서, 사선에 의해 표시된 영역은 포화 영역으로 칭한다. 이러한 영역은 실제로 임계 전압(V_{TH}) 이하에 가까운 게이트 전압을 지시한다. 드레인 전류는 이러한 영역에서 게이트 전압의 변화에 대해 지수적으로 변하므로, 전류 제어는 이러한 영역을 사용하는 게이트 전압에 기초하여 실행된다.

스위칭 TFT가 온일 때, 다수의 픽셀들에 입력된 아날로그 비디오 신호는 EL 구동 TFT의 게이트 전압이 된다. 도 20a에 도시된 $I_{DS} - V_{GS}$ 특성에 따라, 게이트 전압에 대한 드레인 전류는 이 지점에서 1 대 1이 된다. 바꾸어 말하면, 드레인 영역의 전위(EL 구동 전위가 온임)는 EL 구동 TFT의 게이트 전압에 제공된 아날로그 비디오 신호의 전압에 대응하여 결정된다. 소정의 드레인 전류는 EL 소자에 흐르며, EL 소자는 드레인 전류의 양에 대응하는 발광 양에 따라 광을 방사한다.

EL 소자에 의한 발광 양은 이와 같이, 비디오 신호에 의해 제어되고, 그레이 스케일 디스플레이는 발광 양의 이러한 제어에 따라 실행된다.

그러나, 상술된 아날로그 구동 장치는 TFT의 특성 변화에 대해 극히 약한 결점이 있다. 예를 들어, 스위칭 TFT의 $I_{DS} - V_{GS}$ 특성이 동일한 톤(tone)을 디스플레이하는 인접한 픽셀의 스위칭 TFT와 다른 경우를 가정해보자.

이러한 경우에, 각각의 스위칭 TFTs의 드레인 전류는 변화 레벨에 따라 다르고, 그 결과로서 각각의 픽셀들의 EL 구동 TFTs에 인가되는 다른 게이트 전압을 갖는다. 즉, 각각의 EL 소자들은 다른 발광 양을 갖게 되므로, 동일한 그레이 스케일 디스플레이는 실행될 수 없다.

또한, 등가 게이트 전압이 각각의 픽셀들의 EL 구동 TFTs에 인가될지라도, EL 구동 TFTs의 $I_{DS} - V_{GS}$ 특성의 변화가 있다면, 등가 드레인 전류는 출력될 수 없다. 도 20a의 그래프에서 명확한 것처럼, 드레인 전류가 게이트 전압의 변화에 대해 지수적으로 변화하는 영역이 사용되며, 그러므로, $I_{DS} - V_{GS}$ 특성에서 약간의 이동이 있을지라도, 등가 게이트 전압이 인가된 사실에 관계없이 출력된 전류의 양에서 큰 변화가 생기는 상황이 발생한다. 그러한 상황이 발생할 때, 동일한 전압을 갖는 입력 신호임에도 불구하고, EL 소자의 발광 양은 $I_{DS} - V_{GS}$ 특성의 약간의 변화에 의해 야기된 인접한 픽셀의 발광과 많이 다르다.

실제로, $I_{DS} - V_{GS}$ 특성의 변화는 스위칭 TFT 및 EL 구동 TFT의 양쪽 변화의 배율기(multiplier) 효과가 되고, 그 때문에 더 조건적으로 심하다. 이와 같이, 아날로그 구동 장치는 TFT의 특성 변화에 매우 민감하며, 종래의 능동 매트릭스 EL 디스플레이들의 그레이 스케일 디스플레이에서 장애가 되는 점이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제의 관점에서 이루어졌고, 그러므로 본 발명의 목적은 명확한 다중 그레이 스케일 디스플레이를 실행할 수 있는 능동 매트릭스 EL 디스플레이 장치에 제공하는 것이다. 본 발명의 또다른 목적은 디스플레이로서 그러한 능동 매트릭스 EL 디스플레이를 통합하는 고성능 전자 장비(전자 장치)를 제공하는 것이다.

본 발명자는, 아날로그 구동 장치의 결점인, EL 소자에 흐르는 전류의 양을 제어하기 위해 드레인 전류가 게이트 전압의 변화에 대해 지수적으로 변하기 때문에 $I_{DS} - V_{GS}$ 특성 변화에 민감한 포화 영역을 사용한다는 사실에 기인한다는 것을 생각해왔다.

바꾸어 말하면, $I_{DS} - V_{GS}$ 특성의 변화가 있을 때, 드레인 전류는 포화 영역에서 게이트 전압의 변화에 대해 지수적으로 변화하고, 따라서 등가 게이트 전압이 인가될지라도, 서로 다른 레벨들의 전류(드레인 전류)가 출력된다. 결과적으로, 불만족스런 상황, 즉, 원하는 그레이 스케일(톤)이 얻어질 수 없는 상황이 발생한다.

발명의 구성 및 작용

따라서, 본 발명자는 EL 소자로부터 방사된 광의 원하는 양은 포화 영역을 사용하여 전류를 제어하는 대신에, 주로 EL 소자의 발광 시간을 제어하여 획득할 수 있다는 것을 생각했다. 즉, 본 발명에서, 그레이 스케일 디스플레이는 EL 소자로부터 방사된 광의 양을 시간에 의해 제어하여 실행된다. 그레이 스케일 디스플레이를 실행하기 위해 EL 소자의 발광 시간을 제어하는 것은 구동 시스템의 시분할 시스템으로 칭한다(이후에 디지털 구동장치로 언급됨). 구동 시스템의 이러한 시분할 시스템에 의한 그레이 스케일 디스플레이를 실행하는 것이 시분할 그레이 스케일 디스플레이라 부른다는 것을 주목하라.

따라서, 본 발명에서, 등가 게이트 전압을 적용할 때, TFTs에 의해 야기된 $I_{DS} - V_{GS}$ 특성이 약간의 변화가 발생할지라도, 출력된 전류 변화는 억제될 수 있다. 결과적으로, 등가 전압을 갖는 신호들이 제공되면, $I_{DS} - V_{GS}$ 특성의 변화에 의해 야기된 인접한 픽셀의 발광 양과 EL 소자의 발광의 양 사이의 큰 차이의 발생은 피할 수 있다.

이후에, 본 발명의 구조가 기술된다.

본 발명에 따라서, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 및 픽셀부를 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 EL 소자, 각각의 EL 소자들의 발광을 제어하는 EL 구동 TFT, EL 구동 TFT의 구동 장치를 제어하는 스위칭 TFT 및 소거 TFT를 구비하고,

스위칭 TFT의 구동 장치는 제 1 게이트 신호선 구동 회로에 의해 제어되고,

소거 TFT의 구동 장치는 제 2 게이트 신호선 구동 회로에 의해 제어되고,

그레이 스케일 디스플레이는 다수의 EL 소자들의 발광 시간을 제어하여 실행된다.

본 발명에 따라, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 픽셀부, 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 전력 공급선을 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 가지고,

스위칭 TFT의 게이트 전극은 제 1 게이트 신호선에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 다수의 소스 신호선들에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

소거 TFT의 게이트 전극은 제 2 게이트 신호선에 접속되고,

소거 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 소자에 접속된다.

본 발명에 따라, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 픽셀부, 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 일정한 전위로 유지되는 전력 공급선을 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT 및 EL 소자를 가지고,

EL 소자는 일정한 전위로 유지되는 픽셀 전극, 대향 전극, 및 픽셀 전극과 대향 전극 사이에 형성된 EL층을 포함하고,

스위칭 TFT의 게이트 전극은 제 1 게이트 신호선들에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 다수의 소스 신호선들에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

소거 TFT의 게이트 전극은 제 2 게이트 신호선들에 접속되고,

소거 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 소자의 픽셀 전극에 접속된다.

본 발명에 따라, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 픽셀부, 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 및 전력 공급선을 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 가지고,

스위칭 TFT의 게이트 전극은 제 1 게이트 신호선들에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 다수의 소스 신호선들에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

소거 TFT의 게이트 전극은 제 2 게이트 신호선들에 접속되고,

소거 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 소자에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2내지 n까지의 임의의 정수임)은 1 프레임 기간에 제공되고,

소스 신호선 구동 회로로부터 디지털 데이터 신호들은 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 다수의 소스 신호선들을 통해 모든 다수의 픽셀들에 제공되고,

모든 다수의 픽셀들에 제공된 디지털 데이터 신호들은 소거 기간 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 중에서, 일부의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 및 일부의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m-1)$ 의 개시로부터 각각의 소거 기간 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(m-1)$ 이고,

각각의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시로부터 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간 $Ta_1, Ta_2, \dots, Ta(m)$ 의 개시까지의 기간들은 비-디스플레이(non-display) 기간들 $Td_1, Td_2, \dots, Td(m-1)$ 이고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m+1)$ 의 개시로부터 각각의 기록 기간 $Ta(m), Ta(m+1), \dots, Ta(n)$ 의 다음의 기록 기간의 개시까지의 기간들은, 각각, 디스플레이

이 기간 $Tr(m)$, $Tr(m+1)$, ..., $Tr(n)$ 이고,

디스플레이 기간들 $Tr1$, $Tr2$, ..., $Tr(n)$ 에서, 다수의 EL 소자들은 발광 또는 비발광하도록 디지털 데이터 신호들에 의해 선택되고,

(n)개의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 의 길이와 (m-1)개의 소거 기간들 $Te1$, $Te2$, ..., $Te(m-1)$ 의 길이는 동일하고, 또한

디스플레이 기간들 $Tr1$, $Tr2$, ..., $Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로서 표현된다.

본 발명에 따라서, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 픽셀부, 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 일정한 전위로 유지되는 전력 공급선을 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT 및 EL 소자를 포함하고,

EL 소자는 일정한 전위로 유지되는 픽셀 전극, 대향 전극, 및 픽셀 전극과 대향 전극사이에 형성된 EL 층을 포함하고,

스위칭 TFT의 게이트 전극은 제 1 게이트 신호선들에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 다수의 소스 신호선들에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

소거 TFT의 게이트 전극은 제 2 게이트 신호선들에 접속되고,

소거 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 소자의 픽셀 전극에 접속되고,

(n)개의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 및 (m-1)개의 소거 기간들 $Te1$, $Te2$, ..., $Te(m-1)$ (m은 2 내지 (n)까지의 임의의 정수임)은 1 프레임 기간내에 공급되고,

소스 신호선 구동 회로로부터 디지털 데이터 신호들은 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 에서 다수의 소스 신호들을 통해 모든 다수의 픽셀들에 제공되고,

다수의 픽셀들에 제공된 디지털 데이터 신호들은 소거 기간들 $Te1$, $Te2$, ..., $Te(m-1)$ 에서 모두 소거되고,

(n)개의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 동안에, 일부의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(m)$ 및 일부의 소거 기간들 $Te1$, $Te2$, ..., $Te(m-1)$ 은 서로 중첩하고,

(n)개의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 에서 각각의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(m-1)$ 의 개시부터 각각의 소거 기간들 $Te1$, $Te2$, ..., $Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr1$, $Tr2$, ..., $Tr(m-1)$ 이고,

각각의 소거 기간들 $Te1$, $Te2$, ..., $Te(m-1)$ 의 개시로부터 (n)개의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 에서 각각의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(m)$ 의 개시까지의 기간들은 비-디스플레이 기간들 $Td1$, $Td2$, ..., $Td(m-1)$ 이고,

(n)개의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(n)$ 에서 각각의 기록 기간들 $Ta1$, $Ta2$, ..., $Ta(m+1)$ 의 개시로부터 각각의 기록 기간들 $Ta(m)$, $Ta(m+1)$, ..., $Ta(n)$ 의 다음의 기록 기간까지의 기간들은 디스플레이 기간들 $Tr(m)$, $Tr(m+1)$, ..., $Tr(n)$ 이고,

디스플레이 기간들 $Tr1$, $Tr2$, ..., $Tr(n)$ 에서, 다수의 EL 소자들은 발광 또는 비발광하도록 디지털 데이터 신호들에 의해 선택되고,

(n)개의 기록 기간 $Ta1$, $Ta2$, ..., $Ta(n)$ 의 길이 및 (m-1)의 소거 기간 $Te1$, $Te2$, ..., $Te(m-1)$ 의 길이는 동일하고, 또한

디스플레이 기간 $Tr1$, $Tr2$, ..., $Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로 표현된다.

본 발명에 따라, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 픽셀부, 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 전력 공급선을 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 가지고,

스위칭 TFT의 게이트 전극은 제 1 게이트 신호선들에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 다수의 소스 신호선들에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

소거 TFT의 게이트 전극은 제 2 게이트 신호선들에 접속되고,

소거 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 구동 TFT의

게이트 전극에 접속되고,

EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 소자에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1) 개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2 내지 (n)까지의 임의의 정수임)은 1 프레임 기간내에 공급되고,

소스 신호선 구동 회로로부터 디지털 데이터는 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 다수의 소스 신호들을 통해 모든 다수의 픽셀들에 제공되고,

모든 다수의 픽셀들에 제공된 디지털 데이터 신호들은 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

(n)개의 기록 기간 $Ta_1, Ta_2, \dots, Ta(n)$ 동안에, 일부 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 및 일부의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m-1)$ 의 개시로부터 각각의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(m-1)$ 이고,

각각의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시로부터 (n)개의 기록 기간 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 의 개시까지의 기간들은 비-디스플레이 기간들 $Td_1, Td_2, \dots, Td(m-1)$ 이고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m+1)$ 의 개시로부터 각각의 기록 기간들 $Ta(m), Ta(m+1), \dots, Ta(n)$ 의 다음의 기록 기간들까지의 기간들은, 각각, 디스플레이 기간들 $Tr(m), Tr(m+1), \dots, Tr(n)$ 이고,

디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 에서, 다수의 EL 소자들은 발광 또는 비발광하도록 디지털 데이터 신호들에 의해 선택되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 의 길이 및 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 길이는 동일하고,

디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로 표현되고, 또한

디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 은 임의의 순서로 나타난다.

본 발명에 따라서, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 픽셀부, 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 일정한 전위로 유지되는 전력 공급선을 포함하는 전자 장치가 제공되고,

픽셀부는 다수의 픽셀들을 포함하고,

다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT 및 EL 소자를 가지고,

EL 소자는 일정한 전위로 유지되는 픽셀 전극, 대향 전극, 및 픽셀 전극과 대향 전극 사이에 형성된 EL 층을 포함하고,

스위칭 TFT의 게이트 전극은 제 1 게이트 신호선들에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 다수의 신호선들에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

소거 TFT의 게이트 전극은 제 2 게이트 신호선들에 접속되고,

소거 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 또다른 하나는 EL 구동 TFT의 게이트 전극에 접속되고,

EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 전력 공급선에 접속되며, 나머지는 EL 소자의 픽셀 전극에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2 내지 (n)까지의 임의의 정수임)은 1 프레임 기간내에 제공되고,

소스 신호선 구동 회로로부터 디지털 신호들은 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 다수의 소스 신호선들을 통해 모든 다수의 픽셀들에 제공되고,

다수의 픽셀들에 제공된 디지털 데이터 신호들은 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 동안에, 일부의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 및 일부의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m-1)$ 의 개시로부터 각각의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(m-1)$ 이고,

각각의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시부터 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 의 개시까지의 기간들은 비-디스플레이 기간들 $Td_1, Td_2, \dots, Td(m-1)$ 이고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m+1)$ 의 개시로부터 각각의 기록 기간들 $Ta(m), Ta(m+1)$ 의 다음의 기록 기간들의 개시까지 기간들은, 각각, 디스플레이 기간들 $Tr(m), Tr(m+1), \dots, Tr(n)$ 이고,

디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 에서, 다수의 EL 소자들은 발광 또는 비발광하도록 디지털 데이터 신호들에 의해 선택되고,

(n)개의 기록 기간 $Ta_1, Ta_2, \dots, Ta(n)$ 의 길이와 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 길이는 동일하고,

디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로 표현되고,

디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 은 임의의 순서로 나타난다.

EL 층은 저분자 유기 재료 또는 폴리머 유기 재료일 수 있다.

저분자 유기 재료는 Alq_3 (트라이스-8-퀴놀리라이트-알루미늄) 또는 TPD(트라이페닐라민 유도체)로 만들어질 수 있다.

폴리머 유기 재료는 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카바졸, 또는 폴리카보네이트로 만들어질 수 있다.

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 은 서로 중첩될 수 없다.

(m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩될 수 없다.

스위칭 TFT, EL 구동 TFT, 및 소거 TFT는 적어도 N 채널 TFT 또는 P 채널 TFT 중 하나일 수 있다.

전력 공급선의 전위가 EL 구동 TFT의 게이트 전극에 인가될 때, EL 구동 TFT는 오프 상태가 된다.

컴퓨터는 본 발명에 따른 전자 장치를 사용한다.

비디오 카메라는 본 발명에 따른 전자 장치를 사용한다.

DVD 플레이어는 본 발명에 따른 전자 장치를 사용한다.

하기에, 본 발명의 EL 디스플레이의 구조 및 구동 방법의 설명이 기술될 것이다. n 비트 디지털 데이터 신호에 의한 2^n 그레이 스케일을 실행하는 경우가 여기에서 설명될 것이다.

도 1은 본 발명의 EL 디스플레이의 예를 도시하는 블록도이다. 도 1의 EL 디스플레이는 픽셀 부(101), 픽셀부(101) 표면에 배치된 소스 신호선 구동 회로(102), 기판상에 형성된 TFTs의 형성된 기록 게이트 신호선 구동 회로(제 1 게이트 신호선 구동 회로)(103) 및 소거 게이트 신호선 구동 회로(제 2 게이트 신호선 구동 회로)(104)를 포함한다. EL 디스플레이가 본 발명의 실시예 형식에서 하나의 소스 신호선 구동 회로를 갖지만, 2개 이상의 소스 신호 구동 회로는 본 발명에서 EL 디스플레이에 구비될 수 있다.

본 발명은 소스 신호 구동 회로(102), 기록 게이트 신호선 구동 회로(103), 또는 소거 게이트 신호선 구동 회로(104)가 픽셀부가 공급되는 기판상에 구비되는 구조 또는 상기 회로가 IC 칩상에 구비되고 FPC 또는 TAB를 거쳐 픽셀부(101)에 접속되는 구조를 채택할 수 있다.

기본적으로, 소스 신호선 구동 회로(102)는 시프트 레지스터(102a), 래치 회로(A)(102b), 및 래치 회로(B)(102c)로 구성된다.

소스 신호선 구동 회로(102)에서, 클럭 신호(CLK) 및 시작 펄스(SP)는 시프트 레지스터 회로(102a)에 입력된다. 시프트 레지스터 회로(102a)는 연속적으로 클럭 신호(CLK) 및 시작 펄스(SP)의 지저상에 타이밍 신호들을 발생시키며, 버퍼 회로(도시되지 않음) 등을 통해 다운스트림(downstream) 회로에 타이밍 신호들을 연속적으로 제공한다.

시프트 레지스터 회로(102a)로부터 타이밍 신호들은 버퍼 회로 등에 의해 완회(buffer)되고 증폭된다. 많은 회로를 또는 소자들이 타이밍 신호들이 제공되는 배선에 접속되기 때문에, 부하 용량(기생 용량)은 크다. 버퍼 회로는 이러한 큰 부하 용량에 기인하여 무너지는 타이밍 신호들의 상승 또는 하락을 방지하도록 제공된다.

버퍼 회로에 의해 증폭된 타이밍 신호 버퍼는 래치 회로(A)(102b)에 제공된다. 래치 회로(A)(102b)는 타이밍 신호들이 입력될 때, 시분할 그레이 스케일 데이터 신호 발생 회로(106)로부터 제공된 n 비트 디지털 데이터 신호들을 연속적으로 취하고 유지한다.

디지털 데이터 신호들이 래치 회로(A)(102b)에 의해 취해질 때, 디지털 데이터 신호들은 복수 단계의 래치 회로들의 래치 회로(A)(102b)에 연속적으로 제공될 수 있다는 것을 주목하라. 그러나, 본 발명은 이러한 구조에 제한되지 않는다. 소위 분할 구동 장치는, 즉, 복수 단계의 래치회로들의 래치회로(A)(102b)가 다수의 그룹으로 분할되고, 디지털 데이터 신호들이 병렬로 동일한 시간에 각각의 그룹으로 제공되도록 실행될 수 있다. 그룹들의 수는 분할 수로써 칭한다는 것은 주목되어야 한다. 예를 들어, 래치 회로들은 4 단계들로 각각 분류되면, 4 분기 분할 구동 장치로 칭해진다.

디지털 데이터 신호들의 기록을 래치 회로(A)(102b)의 래치 회로들의 모든 단계들로 완료하기 위해 필요한 시간은 라인 기간으로 칭한다. 바꾸어 말하면, 라인 기간은 가장 왼쪽 단계의 래치 회로에 디지털 데이터 신호들의 기록의 개시로부터 래치 회로(A)(102b)에서 가장 오른쪽 단계의 래치 회로에 디지털 데이터 신호들의 기록을 종료하는 시간 간격으로 정의된다. 사실상, 상기 정의된 라인 기간에 수평 귀선 기간은 라인 기간으로 또한 언급될 수 있다.

하나의 라인 기간의 완료후에, 래치 신호는 래치 회로(B)(102c)에 제공된다. 이러한 순간에서, 래치 회로

(A)(102b)에 의해 기록되고 유지되는 디지털 데이터 신호들은 래치 회로의 모든 단계들에 의해 기록되고 유지되도록 모두 한번에 래치 회로(B)(102c)에 보내진다.

시프트 레지스터 회로(102a)로부터 타이밍 신호들의 기저상에 시분할 그레이 스케일 데이터 신호 발생 회로(106)로부터 최근에 다시 새로이 제공된 디지털 데이터 신호들의 연속하는 기록은 래치 회로(B)(102c)에 디지털 데이터 신호들을 보내는 것을 완료한 후에, 래치 회로(A)(102b)에 대해 다시 실행된다.

이러한 두번째 하나의 라인 기간동안, 래치 회로(B)(102c)에 의해 기록 및 유지되는 디지털 데이터 신호들은 소스 신호선들에 출력된다.

반면에, 기록 게이트 신호선 구동 회로(103) 및 소거 게이트 신호선 구동 회로(104)는 시프트 레지스터 회로 및 버퍼 회로(도면에서 둘다 도시되지 않음)로, 각각 구성된다. 상기 상황에 따라, 기록 게이트 신호선 구동 회로(103) 및 소거 게이트 신호선 구동 회로(104)는 시프트 레지스터 회로 및 버퍼 회로에 추가하여 레벨 시프터 회로를 가질 수 있다.

기록 게이트 신호선 구동 회로(103) 및 소거 게이트 신호선 구동 회로(104)에서, 시프트 레지스터(도면에서 도시되지 않음)로부터 타이밍 신호들은 대응하는 게이트 신호선들(또한 스캐닝(scanning) 라인으로 언급됨)에 제공되는 버퍼 회로(도면에서 도시되지 않음)에 제공된다. 게이트 신호선들은 하나의 라인의 픽셀 TFTs의 게이트 전극들에 접속되고, 하나의 라인의 모든 픽셀 TFTs는 동시에 턴온되어야 하고, 큰 정전 용량을 갖는 버퍼 회로의 사용을 요구한다.

시분할 그레이 스케일 데이터 신호 발생 회로(106)에서, 아날로그 또는 디지털 데이터 신호들(화상 정보를 포함하는 신호들)은 시분할 그레이 스케일을 실행하는 디지털 데이터 신호들로 변환되어, 래치 회로(A)(102b)에 제공된다. 시분할 그레이 스케일 데이터 신호 발생 회로(106)는 또한 시분할 그레이 스케일 디스플레이를 실행하는데 필요한 타이밍 펄스와 같은 신호를 발생하기 위한 회로이다.

시분할 그레이 스케일 데이터 신호 발생 회로(106)는 본 발명의 EL 디스플레이 외부에 구비될 수 있다. 이러한 경우, 시분할 그레이 스케일 데이터 신호 발생 회로(106)에 의해 발생된 디지털 데이터 신호들이 본 발명의 EL 디스플레이에 공급되는 구조가 된다. 그러므로, 본 발명의 EL 디스플레이 및 시분할 그레이 스케일 데이터 신호 발생 회로는 디스플레이로서 본 발명의 EL 디스플레이를 구비하는 전자 장비(EL 디스플레이 장치)의 개별 소자들로서 포함된다.

시분할 그레이 스케일 데이터 신호 발생 회로(106)는 또한 IC 칩 등의 형태일 수 있고, 또한 EL 디스플레이에 통합될 수 있다. 이러한 경우에, IC 칩에 의해 형성된 디지털 데이터 신호들은 본 발명의 EL 디스플레이 장치에 제공되는 구조가 된다. 이와 같이, 시분할 그레이 스케일 데이터 신호 발생 회로를 포함하는 IC 칩을 통합한 본 발명의 EL 디스플레이는 디스플레이로서 본 발명의 EL 디스플레이를 구비하는 전자 장비의 구성 요소로서 포함된다.

결국, TFT를 사용하여 형성된 시분할 그레이 스케일 데이터 신호 발생 회로(106)는 픽셀부(101), 소스 신호선 구동 회로(102), 기록 게이트 신호선 구동 회로(103), 및 소거 게이트 신호선 구동 회로(104)로서 동일한 기판상에 형성될 수 있다. EL 디스플레이에 제공된 화상 정보를 포함하는 디지털 데이터 신호들은 이러한 경우에 기판상에서 모두 처리될 수 있다. 이러한 경우에 시분할 그레이 스케일 신호 발생 회로는 능동층으로서 폴리 실리콘 막을 사용하는 TFT에 형성될 수 있다. 또한, 이러한 경우에, 디스플레이로서 본 발명의 EL 디스플레이를 갖는 전자 장비에서, 시분할 그레이 스케일 신호 발생 회로는 EL 디스플레이에 통합되어, 더 작은 전자 장비들을 제조하는 것을 가능케 한다.

픽셀부(101)의 확대도는 도 2에서 도시된다. 소스 신호선 구동 회로(102)의 래치 회로(B)(102c)에 접속된 소스 신호선들(S1 내지 Sx), FPC를 거쳐 EL 디스플레이의 외부 전극원에 접속된 전력 공급선들(V1 내지 Vx), 기록 게이트 신호선 구동 회로(103)에 접속된 기록 게이트 신호선들(제 1 게이트 신호선들)(Ga1 내지 Gay), 및 소거 게이트 신호선 구동 회로(104)에 접속된 소거 게이트 신호선들(제 2 게이트 신호선들)(Ge1 내지 Gey)은 픽셀부(101)에서 제공된다.

소스선들(S1 내지 Sx), 전력 공급선들(V1 내지 Vx), 기록 게이트 신호선들(Ga1 내지 Gay), 및 소거 게이트 신호선들(Ge1 내지 Gey)에 제공된 영역은, 각각, 픽셀(105)이다. 이와 같이, 다수의 픽셀들(105)은 픽셀부(101)에서 매트릭스(matrix)로 배치된다.

픽셀(105)의 확대도는 도 3에서 도시된다. 도 3에서, 참조 번호(107)는 스위칭 TFT를 표시한다. 스위칭 TFT(107)의 게이트 전극은 기록 게이트 신호선 Ga(Ga1 내지 Gay 중 하나)에 접속된다. 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나에 대하여, 하나는 소스 신호선 S(S1 내지 Sx 중 하나)에 접속되며, 나머지는 EL 구동 TFT(108)의 게이트 전극, 각각의 픽셀들의 커패시터(112), 및 소거 TFT(109)의 소스 영역 또는 드레인 영역에, 각각 접속된다.

스위칭 TFT(107)가 비-선택 상태(오프 상태)일 때, 커패시터(112)는 EL 구동 TFT(108)의 게이트 전압을 유지하도록 제공된다. 본 실시예는 커패시터(112)를 구비한 구조를 도시하지만, 본 발명은 이러한 구조에 제한되지 않고 커패시터(112)를 구비하지 않은 구조를 구비할 수도 있다는 것을 주목하라.

EL 구동 TFT(108)의 소스 영역 및 드레인 영역에 관하여, 하나는 전력 공급선 V(V1 내지 Vx 중 하나)에 접속되며, 나머지는 EL 소자(110)에 접속된다. 전력 공급선들 V(V1 내지 Vx)은 커패시터(112)에 각각 접속된다.

소거 TFT(109)의 소스 영역 및 드레인 영역에 관하여, 스위칭 TFT(107)의 소스 영역 또는 드레인 영역에 접속되지 않은 하나는 전력 공급선들 V에 접속된다. 소거 TFT(109)의 게이트 전극은 소거 게이트선 Ge(Ge1 내지 Gey 중 하나)에 접속된다.

EL 소자(110)는 애노드, 캐소드 및 그 사이에 삽입된 EL 층으로 구성된다. 애노드가 EL 구동 TFT(108)의 소스 영역 또는 드레인 영역에 접속되는 경우에, 애노드는 픽셀 전극이 되고, 캐소드는 대향 전극이 된다. 반대로, 캐소드가 EL 구동기(108)의 소스 영역 또는 드레인 영역에 접속되면, 캐소드는 픽셀 전극이 되고

에노드는 대향 전극이 된다.

대향 전위가 소자(110)의 대향 전극에 인가되고, 전력 공급 전위가 전력 공급선들 V에 인가된다. 그후에, 전력 공급 전위가 픽셀 전극에 인가될 때, 대향 전위와 전력 공급 전위사이의 전위차는 항상 EL 소자가 광을 방사하는 레벨로 유지된다. 외부에 부착된 IC 등에 제공되는 전력원은 본 발명의 EL 디스플레이에 전력 공급 전위 및 대향 전위를 분배한다. 대향 전위를 분배하는 전력원은 본 명세서에서 특히, 대향 전력원(111)으로 언급되는 것을 주목하라.

본 발명에서 전형적인 EL 디스플레이에서, 픽셀이 발광하는 영역의 발광량이 200cd/m^2 일 때, 픽셀부의 영역은 전류의 약 몇 mA/cm^2 을 요구한다. 그러므로, 특히 스크린 크기가 커질수록, 스위치를 구비한 IC에 제공된 전력 공급원으로부터 분배된 전위의 레벨을 제어하는 것은 더 어려워진다. 본 발명에서, 전력 공급 전위 및 대향 전위는 항상 일정한 레벨로 유지되므로, IC에 제공된 전력 공급원으로부터 분배된 전위의 레벨을 제어하는 스위치를 사용하는 것은 필요하지 않고, 본 발명이 더 큰 스크린 크기를 구비한 패널을 구현하는데 유용하다.

또한, 본 발명에서, EL 구동 TFT(108)의 게이트 전극에 전력 공급 전위를 인가할 때, 전위의 레벨은 EL 구동 TFT(108)가 오프 상태인 레벨에 존재할 필요가 있다.

N 채널 TFT 또는 P 채널 TFT는 스위칭 TFT(107), EL 구동 TFT(108), 및 소거 TFT(109)를 형성하는데 사용될 수 있다. 또한, 스위칭 TFT(107), EL 구동 TFT(108), 및 소거 TFT(109)는 단일 게이트 구조로 구성되지만, 이중 게이트 구조 또는 삼중 게이트 구조와 같은 다중 게이트 구조를 구비할 수도 있다.

상기 구조를 구비한 본 발명의 EL 디스플레이의 구동 방법은 도 2 내지 4를 참조하여 다음에 설명될 것이다.

기록 게이트 신호선 구동 회로(103)로부터 기록 선택 회로(제 1 선택 회로)는 먼저 기록 게이트 신호선 Ga1에 제공된다. 결과로서, 기록 게이트 신호선(Ga1)에 접속된 모든 픽셀들의 스위칭 TFTs(107)(제 1 라인의 픽셀들)은 온 상태로 바뀐다.

또한 동시에, 소스 신호선 구동 회로(102)의 래치 회로(B)(102c)로부터 제 1 비트 디지털 데이터 신호는 소스 신호선들 S1 내지 Sx에 제공된다. 디지털 데이터 신호는 스위칭 TFT(107)을 통해 EL 구동 TFT(108)의 게이트 전극에 제공된다. 디지털 데이터 신호는 "0" 또는 "1"의 정보를 가지며, 하나는 "하이(Hi)" 전압이고 나머지는 "로(Lo)" 전압을 갖는다.

본 발명의 실시예 형식에서, 디지털 데이터 신호가 "0" 정보를 가질 때, EL 구동 TFT(108)는 오프상태이다. 그러므로, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 인가되지 않는다. 따라서, "0" 정보를 갖는 디지털 데이터 신호가 공급된 픽셀의 EL 소자(110)는 광을 방사하지 않는다.

반면에, 디지털 데이터 신호가 "1" 정보를 가질 때, EL 구동 TFT(108)는 온 상태이므로, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 인가된다. 결과로서, "1" 정보를 갖는 디지털 데이터 신호가 제공된 픽셀의 EL 소자(110)는 광을 방사한다.

이와 같이, 제 1 라인의 픽셀들의 디지털 데이터 신호가 입력될 때, EL 소자는 광을 방사하거나 방사하지 않고, 그에 따라 제 1 라인의 픽셀들은 디스플레이를 실행한다. 픽셀들이 디스플레이를 실행하는 기간은 디스플레이 기간 T_r 로서 언급된다. 특히, 제 1 비트의 디지털 데이터 신호가 픽셀에 입력되는 시점에서 디스플레이를 실행하도록 개시하는 디스플레이 기간은 T_r 으로서 언급된다. 설명을 간단히 하기위해, 제 1 라인의 픽셀들의 디스플레이 기간은, 특히, 도 4에 도시된다. 각각의 라인들의 디스플레이 기간들은 개시하는 타이밍에서 시간차를 가진다.

다음에, 동시에 기록 게이트 신호선 Ga1에 대한 기록 선택 신호의 입력은 완료되고, 기록 선택 신호는 기록 게이트 신호선 Ga2에 유사하게 입력된다. 기록 게이트 신호선 Ga2에 접속된 모든 픽셀들의 스위칭 TFTs(107)는 온 상태로 바뀌어, 소스 신호선들 S1 내지 Sx부터 제 2 라인의 픽셀들까지의 제 1 비트 디지털 데이터 신호를 제공한다.

따라서, 기록 선택 신호들은 연속하여 모든 기록 게이트 신호선들(Ga1 내지 Gay)에 제공된다. 모든 기록 게이트 신호선들(Ga1 내지 Gay)은 선택되고, 제 1 비트 디지털 데이터 신호가 모든 라인들의 픽셀들에 제공될 때까지의 기간은 기록 기간 T_a 이다.

반면에, 제 1 비트의 디지털 데이터 신호가 모든 라인들의 픽셀들에 제공되기 전에, 바꾸어 말하면, 기록 기간 T_a 의 완료전에, 소거 게이트 신호선 구동 회로(104)로부터 소거 게이트 신호선 Ge1까지의 소거 선택 신호(제 2 선택 신호)의 입력은 픽셀에 대한 제 1 비트의 디지털 데이터 신호와 병렬로 실행된다.

소거 게이트 신호선 Ge1에 대한 소거 선택 신호가 입력될 때, 소거 게이트 신호선 Ge1에 접속된 모든 픽셀들(제 1 라인의 픽셀들)의 소거 TFTs(109)는 온 상태로 바뀐다. 그후에, 전력 공급선들(V1 내지 Vx)의 전력 공급 전위는 소거 TFT(109)를 통하여 EL 구동 TFT(108)의 게이트 전극에 분배된다.

전력 공급 전위가 게이트 전극에 분배될 때, EL 구동 TFT(108)은 오프 상태로 바뀐다. 따라서, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 분배될 수 없고, 그러므로 제 1 라인의 픽셀들의 EL 소자들은 비발광하게 된다. 결과적으로, 제 1 라인의 픽셀들은 디스플레이를 실행하지 않는다. 즉, 기록 게이트 신호선 Ga1이 기록 선택 신호에 의해 선택되는 시간으로부터, EL 구동 TFT의 게이트 전극에 의해 유지되는 디지털 데이터 신호는 EL 구동 TFT의 게이트 전극에 대한 전력 공급 전위의 적용에 의해 소거된다. 이와 같이, 제 1 라인의 픽셀들은 디스플레이를 실행하지 않는다.

픽셀들이 디스플레이를 실행하지 않는 기간은 비-디스플레이 기간 T_d 로서 언급된다. 디스플레이 기간 T_r 은 소거 선택 신호가 소거 게이트 신호선 Ge1에 제공되는 동시에 종료하고, 그 후에, 제 1 라인의 픽셀들은 비-디스플레이 기간 T_d 으로 된다.

설명을 간단히 하기위해, 단지 제 1 라인의 픽셀들의 비-디스플레이 기간은 도 4에서 도시된다. 각각의 라

인들의 비-디스플레이 기간들은 디스플레이 기간과 유사하게, 개시하는 타이밍에서 시간차를 가진다.

그 다음에, 소거 선택 신호를 소거 게이트 신호선 Ge1에 제공하는 것을 완료할 때, 소거 선택 신호는 소거 게이트 신호선 Ge2에 제공된다. 유사하게, 소거 게이트 신호선 Ge2에 접속된 모든 픽셀들(제 2 라인의 픽셀들)의 소거 TFTs(109)는 온 상태로 바뀐다. 그 후에, 전력 공급선들(V1 내지 Vx)의 전력 공급 전위는 소거 TFT(109)를 통해 EL 구동 TFT(108)의 게이트 전극에 분배된다. 전력 공급 전위가 게이트 전극에 분배될 때, EL 구동 TFT(108)는 오프 상태로 바뀐다. 그러므로, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 분배될 수 없다. 결과적으로, 제 2 라인의 픽셀들의 EL 소자들은 비-발광 상태가 되고, 그에 따라 제 2 라인의 픽셀들은 디스플레이를 실행하지 않으며, 비-디스플레이 상태로 바뀐다.

소거 신호들은 모든 소거 게이트 신호선들에 연속적으로 제공된다. 이와 같이, 모든 소거 게이트 신호선들(Ga1 내지 Gay)은 선택되고, 모든 라인들의 픽셀들에 의해 유지되는 제 1 비트 디지털 데이터 신호의 소거까지의 기간은 소거 기간 Te1이다.

반면에, 모든 라인들의 픽셀들에 의해 유지되는 제 1 비트 디지털 데이터 신호가 소거되기 전에, 즉, 소거 기간 Te1이 종료되기 전에, 기록 게이트 신호선 구동 회로(103)로부터 기록 게이트 신호선 Ga1까지의 기록 선택 신호의 입력은 픽셀들에 대한 제 1 비트 디지털 데이터 신호의 소거를 병렬로 다시 한번 실행된다. 따라서, 제 1 라인의 픽셀들은 디스플레이를 다시 실행하고 비-디스플레이 기간 Td1은 디스플레이 기간 Tr2가 되어 종료한다.

유사하게, 모든 기록 게이트 신호선들은 연속적으로 선택되어, 모든 픽셀들에 제 2 비트의 디지털 데이터 신호를 제공한다. 모든 라인들의 픽셀들에 제 2 비트 디지털 데이터 신호를 제공하는 것을 완료할 때까지의 기간은 기록 기간 Ta2로서 언급된다.

반면에, 제 2 비트 디지털 데이터 신호가 모든 라인들의 픽셀들에 제공되기 전에, 바꾸어 말하면, 기록 기간 Ta2가 종료되기 전에, 소거 게이트 신호선 구동 회로(104)로부터 소거 게이트 신호선 Ge2까지 소거 선택 신호의 입력은 픽셀들에 대한 제 2 비트 디지털 데이터 신호의 입력을 병렬로 실행된다. 따라서, 제 1 라인의 픽셀들의 모든 EL 소자들은 비-발광하게 되며, 픽셀들은 디스플레이를 실행하지 않는다. 이와 같이, 제 1 라인의 픽셀들에서 디스플레이 기간 Tr2는 비-디스플레이 기간 Td2가 되어 종료한다.

소거 신호들은 연속적으로 모든 소거 게이트 신호선들에 제공된다. 모든 소거 게이트 신호선들(Ga1 내지 Gay)은 이와같이, 선택되고, 제 2 비트 디지털 데이터 신호의 소거가 모든 라인들의 픽셀들에 의해 유지될 때까지의 기간은 소거 기간 Te2이다.

상술된 동작은 (m) 비트의 디지털 데이터 신호가 픽셀들 및 디스플레이 기간 Tr에 제공될 때까지, 반복적으로 실행되고, 비-디스플레이 기간 Td는 반복적으로 나타난다.(도 4 참조) 디스플레이 기간 Tr1은 기록 기간 Ta1의 개시로부터 소거 기간 Te1의 개시까지의 기간으로 언급된다. 또한, 비-디스플레이 기간 Td1은 소거 기간 Te1의 개시로부터 디스플레이 기간 Ta2의 개시까지의 기간으로 언급된다. 이와 같이, 디스플레이 기간들 Tr2, Te3, ..., 및 Tr(m-1)의 기간들과 비-디스플레이 기간들 Td2, Td3, ..., 및 Td(m-1)은, 디스플레이 기간 Tr1 및 비-디스플레이 기간 Td1과 유사하게, 기록 기간들 Ta1, Ta2, ..., 및 Ta(m)과 소거 기간들 Te1, Te2, ..., 및 Te(m-1)에 의해 각각 결정된다.

(m) 비트의 디지털 신호가 제 1 라인의 픽셀들에 제공된 후에, 소거 선택 신호는 소거 게이트 신호선 Ge1에 제공되지 않는다. 설명은 설명을 간단히 하기 위한 예로서 $m = n - 2$ 를 갖는 본 발명의 실시예에서 설명된다. 물론, 본 발명은 이러한 값에 제한되지 않는다. 본 발명에서, 2 내지 (n)까지의 값은 (m)으로 임의로 선택될 수 있다.

제 1 라인의 픽셀들은 디스플레이 기간 Tr(n-2)가 되며, (n-2) 비트의 디지털 데이터 신호의 디스플레이가 제 1 라인의 픽셀들에 제공되면 디스플레이를 실행한다. (n-2) 비트 디지털 데이터 신호는 다음의 디지털 데이터 신호가 제공될 때까지 제 1 라인의 픽셀들에 의해 유지된다.

다음에, 다음 (n-1)비트 디지털 데이터 신호가 제 1 라인의 픽셀들에 제공될 때, 픽셀들에 의해 유지되는 (n-2) 비트의 디지털 데이터 신호는 (n-1) 비트의 디지털 데이터 신호로 재기록 된다. 그후에, 제 1 라인의 픽셀들은 디스플레이 기간 Tr(n-1)이 되어 디스플레이를 실행한다. (n-2) 비트의 디지털 데이터 신호는 다음 비트의 디지털 데이터 신호가 제공될 때 픽셀들에 의해 유지된다.

상술된 동작은 (n) 비트 디지털 데이터 신호가 픽셀들에 제공될 때까지 반복적으로 실행된다.(도 4 참조) 디스플레이 기간 Tr(n-2)은 기록 기간 Ta(n-2)의 개시로부터 기록 기간 Ta(n-1)의 개시까지 기간이다. 또한, 디스플레이 기간 Tr(n-1) 및 Tr(n)의 기간들은, 디스플레이 기간 Tr(n-2)과 유사하게, 기록 기간 Ta에 의해 각각 결정된다.

본 발명에서, 1 프레임 기간보다 더 짧게하여 모든 기록 기간들의 전체 길이를 설정하는 것 뿐만 아니라 $Tr1: Tr2: Tr3: \dots: Tr(n-1): Tr(n) = 2^0: 2^1: 2^2: \dots: 2^{(n-2)}: 2^{(n-1)}$ 되도록 디스플레이 기간들의 길이를 설정하는 것이 필요하다.

모든 디스플레이 기간들(Tr1 내지 Tr(n))이 종료될 때, 하나의 이미지는 디스플레이 된다. 하나의 이미지를 디스플레이 하는 기간은 본 발명의 구동 방법에서 1 프레임 기간(F)으로서 언급된다.

이와 같이, 1 프레임 기간의 완료후에, 기록 게이트 신호선 구동 회로(103)로부터 기록 선택 신호는 기록 게이트 신호선 Ga1에 다시 제공된다. 결과적으로, 제 1 비트 디지털 데이터 신호는 픽셀들에 제공되고, 제 1 라인의 픽셀들은 다시 디스플레이 기간 Tr1이 된다. 상술된 동작은 이와 같이 다시 반복된다.

통상적인 EL 디스플레이에서 초당 60개 이상의 프레임들의 공급이 양호하다. 60개 이하의 이미지들이 일초에 디스플레이되면, 이미지들의 플리커링(flickering)이 현저해질 것이다.

디스플레이 기간들의 길이는 $Tr1: Tr2: Tr3: \dots: Tr(n-1): Tr(n) = 2^0: 2^1: 2^2: \dots: 2^{(n-2)}: 2^{(n-1)}$ 이 되도록 설정된다. 디스플레이 기간들과 결합하여, 원하는 그레이 스케일 디스플레이는 2^0 그레이 스케일들 중에서 실행

행될 수 있다.

1 프레임 기간에서 EL 소자에 의해 발광된 디스플레이 기간들의 길이의 전체 합을 요청하는 것은 프레임 기간에서 픽셀들에 의해 디스플레이된 그레이 스케일을 결정한다. 이를테면, $n=8$ 일 때, 모든 디스플레이 기간들에서 발광하는 발생들의 발광은 100%라고 가정하면, Tr1 및 Tr2에서 발광하는 픽셀들의 경우에, 1%의 발광이 표현될 수 있고, 반면에 Tr3, Tr5, 및 Tr8이 선택되면, 60% 발광이 표현될 수 있다.

픽셀들에 대한 (m) 비트 디지털 데이터 신호를 기록하는 기록 기간 Ta(m)의 길이는 디스플레이 기간 Tr(m)의 길이보다 짧다는 것은 매우 중요하다. 그러므로, 1 내지 (n)이내에, (m) 개의 비트 값은 기록 기간 Ta(m)의 길이가 디스플레이 기간 Tr(m)의 길이보다 더 짧은 값으로 설정될 필요가 있다.

디스플레이 기간들(Tr1 내지 Tr(n))은 임의의 순서로 나타날 수 있다. 이를테면, 1 프레임 기간에서 디스플레이 기간들은 Tr1, Tr3, Tr5, Tr2, ...의 순서로 나타날 수도 있다. 그러나, 출현 순서는 소거 기간들(Te1 내지 Te(n))이 서로 중첩하지 않는 순서인 것이 바람직하다.

본 발명에서, N 채널 TFT 또는 P 채널 TFT는 EL 구동 TFT(108)을 형성하는데 사용될 수 있다. 그러나, EL 소자(110)의 애노드가 픽셀 전극이고, 캐소드가 대향전극이라면, EL 구동 회로(108)를 형성하기 위해 P 채널 TFT를 사용하는 것이 바람직하다. 대안적으로, EL 소자(110)의 애노드 및 캐소드가 각각 대향전극 및 픽셀전극이라면, EL 구동 TFT(108)을 형성하기 위해 N 채널 TFT를 사용하는 것이 바람직하다.

상기 구조를 채택함으로써, 본 발명은 TFTs에 의해 야기된 $I_{DS} - V_{DS}$ 특성에서 약간의 변화가 있을지라도, 등가 게이트 전압들이 인가될 때 출력되는 전류의 흐름의 양에 대한 변화를 억제할 수 있다. 결과적으로, 등가 전압을 갖는 신호들이 제공될지라도, EL 소자의 발광의 양과 인접 픽셀의 발광의 양 사이의 많은 차이의 발생이 $I_{DS} - V_{DS}$ 특성의 변화에 의해 유발된 상황은 피할 수 있다.

또한, 디스플레이를 실행하지 않는 비-디스플레이 기간들은 본 발명에서 제공될 수 있다. 종래의 아날로그 구동장치의 경우에, EL 디스플레이는 모두 백색 이미지를 디스플레이한다면, EL 소자는 일정하게 발광하여, EL층의 열화를 진전시키는 요인이 된다. 비-발광 기간들이 본 발명에서 제공될 수 있으므로, EL층의 열화의 특정 레벨은 억제될 수 있다.

본 발명에서, 일부의 디스플레이 기간 및 일부의 기록 기간은 서로 중첩하는 것이 주목되어야 한다. 바꾸어 말하면, 기록 기간에서도, 픽셀들을 디스플레이하는 것이 가능하다. 이와 같이, 1 프레임에서 디스플레이 기간들의 길이의 총 합의 비(듀티(duty) 비)는 기록 기간의 길이에 의해 단독으로 결정되지 않는다.

본 발명의 상술된 구조는 EL 디스플레이에 적용가능할뿐만 아니라, 또한 다른 전자 소자들을 사용하는 장치에 적용될 수 있다. 또한, 응답시간이 $1/10 \mu$ 초이러인 고속 응답 액정이 개발되면, 본 발명은 또한 액정 디스플레이에 적용될 수 있다.

이후에, 본 발명의 실시예는 설명될 것이다.

실시예 1

본 발명의 EL 디스플레이에서, 6 비트 디지털 데이터 신호로부터 2^6 그레이 스케일 디스플레이를 실행하는 경우는 도 5를 참조하여 실시예 1에서 설명된다. 실시예 1의 EL 디스플레이는 도 1 내지 3에 도시되는 구조를 갖는 것은 주목되어야 한다.

먼저, 기록 게이트 신호선 구동 회로(103)로부터 기록 선택 신호는 기록 게이트 선택 신호선 Ga1에 제공된다. 결과적으로, 기록 게이트 신호선 Ga1에 접속된 모든 픽셀들(제 1 라인의 픽셀들)의 스위칭 TFTs(107)는 온 상태로 바뀐다.

또한 동시에, 소스 신호선 구동 회로(102)의 래치 회로(B)(102)로부터 제 1 비트의 디지털 데이터 신호는 소스 신호선들 S1 내지 Sx에 제공된다. 디지털 데이터 신호는 스위칭 TFT(107)을 통해 EL 구동 TFT(108)의 게이트 전극에 제공된다.

실시예 1에서, 디지털 데이터 신호가 "0" 정보를 가질 때, EL 구동 TFT(108)는 오프 상태로 바뀐다. 그러므로, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 인가되지 않는다. 따라서, "0" 정보를 갖는 디지털 데이터 신호가 제공되는 픽셀의 EL 소자(110)는 광을 방사하지 않는다.

반면에, 디지털 데이터 신호가 "1" 정보를 가질 때, EL 구동 TFT(108)는 온 상태이므로, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 인가된다. 결과적으로, "1" 정보를 갖는 디지털 데이터 신호가 제공되는 픽셀의 EL 소자(110)는 광을 방사한다.

이와 같이, 디지털 데이터 신호가 입력될 때, EL 소자는 발광 또는 비발광하고, 제 1 라인의 픽셀들은 디스플레이 기간 Tr1이 된다. 설명을 간단히 하기위해, 제 1 라인의 픽셀들의 디스플레이 기간들은, 특히, 도 5에서 도시된다. 각각의 라인들의 디스플레이 기간들은 개시 타이밍에서 시간차를 갖는다.

다음에, 기록 게이트 신호선 Ga1에 대한 기록 선택 신호의 입력은 완료되는 동시에, 기록 선택 신호는 기록 게이트 신호선 Ga2에 유사하게 입력된다. 기록 게이트 신호선 Ga2에 접속된 모든 픽셀들의 스위칭 TFTs(107)은 온 상태로 바뀌고, 제 2 라인의 픽셀들에 소스 신호선들 S1 내지 Sx로부터 제 1 비트 디지털 데이터 신호를 제공한다.

따라서, 기록 선택 신호는 모든 기록 게이트 신호선들(Ga1 내지 Gay)에 연속적으로 제공된다. 모든 기록 게이트 신호선들(Ga1 내지 Gay)은 선택되고, 제 1 비트 디지털 데이터 신호가 모든 라인들의 픽셀에 제공될 때까지 기간 상향(period up)은 이와같이 기록 기간 Ta1이 된다.

반면에, 제 1 비트 디지털 데이터 신호가 모든 라인의 픽셀에 제공되기 전에, 바꾸어 말하면, 기록 기간 Ta1의 완료전에, 소거 게이트 신호선 Ge1에 대한 소거 게이트 신호선 구동 회로(104)로부터 소거 선택 신호의 입력은 픽셀에 대한 제 1 비트 디지털 데이터 신호의 입력을 병렬로 실행된다.

소거 게이트 신호선(Ge1)에 대한 소거 선택신호가 입력될 때, 소거 게이트 신호선(Ge1)에 접속된 모든 픽셀들(제 1 라인의 픽셀)의 소거 TFTs(109)는 온상태로 바뀐다. 그후에, 전력 공급선들(V1 내지 Vx)의 전력 공급 전위는 소거 TFT(109)를 통해 EL 구동 TFT(108)의 게이트 전극에 분배된다.

전력 공급 전위가 게이트 전극에 분배될 때, EL 구동 TFT(108)는 오프 상태로 바뀐다. 따라서, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 분배될 수 없으므로, 제 1 라인의 픽셀들의 모든 EL 소자들은 발광하지 않게 된다. 결과적으로, 제 1 라인의 픽셀들은 디스플레이를 실행하지 않는다. 즉, 기록 게이트 신호선(Ga1)은 기록 선택 신호에 의해 선택된 시간으로부터, EL 구동 TFT의 게이트 전극에 의해 유지되는 디지털 데이터 신호는 EL 구동 TFT의 게이트 전극에 대한 전력 공급 전위의 적용에 의해 소거된다. 이와 같이, 제 1 라인의 픽셀들은 디스플레이를 실행하지 않는다.

디스플레이 기간 Tr1은, 소거 선택 신호가 소거 게이트 신호선(Ge1)에 제공되는 동시에 종료되며, 제 1 라인의 픽셀들은 비-디스플레이 기간 Td1이 된다.

설명을 간단히 하기 위해, 제 1 라인의 픽셀들의 비-디스플레이 기간들만, 특히, 도 5에서 도시된다. 각각의 라인들의 비-디스플레이 기간들은 디스플레이 기간들과 유사하게, 개시 타이밍에서 시간차를 갖는다.

소거 선택 신호를 소거 게이트 신호선(Ge1)에 제공하는 것을 완료할 때, 소거 선택 신호는 소거 게이트 신호선(Ge2)에 제공된다. 유사하게, 소거 게이트 신호선(Ge2)에 접속된 모든 픽셀들(제 2 라인의 픽셀들)의 소거 TFTs(109)는 온 상태로 바뀐다. 전력 공급선들(V1 내지 Vx)의 전력 공급 전위는 소거 TFT(109)를 통해 EL 구동 TFT(108)의 게이트 전극에 분배된다. 전력 공급 전위가 게이트 전극에 분배될 때, EL 구동 TFT(108)는 오프상태로 바뀐다. 그러므로, 전력 공급 전위는 EL 소자(110)의 픽셀 전극에 분배될 수 없다. 결과적으로, 제 2 라인의 픽셀들의 모든 EL 소자들은 비발광하게 되고, 제 2 라인의 픽셀들은 디스플레이를 실행하지 않으며, 비-디스플레이 상태로 바뀐다. 소거 신호들은 모든 소거 게이트 신호선들에 연속적으로 제공된다. 이와 같이, 모든 소거 게이트 신호들(Ga1 내지 Gay)는 선택되고, 모든 라인들의 픽셀들에 의해 유지되는 제 1 비트 디지털 데이터 신호의 소거까지의 기간은 소거 기간 Te1이 된다.

반면에, 모든 라인들의 픽셀들에 의해 유지되는 제 1 비트 디지털 데이터 신호가 소거되기 전에, 즉, 소거 기간 Te1이 종료되기 전에, 기록 게이트 신호선 Ga1에 대한 기록 게이트 신호선 구동 회로(103)으로부터 기록 선택 신호의 입력은 픽셀들에 대한 제 1 비트 디지털 데이터 신호의 소거와 병렬로 다시 한번 실행된다. 따라서, 제 1 라인의 픽셀들은 디스플레이를 다시 실행하며, 비-디스플레이 기간 Td1은 종료하여, 디스플레이 기간 Tr2로 바뀐다.

유사하게, 모든 기록 게이트 신호선들은 연속적으로 선택되어 모든 픽셀들에 대한 제 2 비트 디지털 데이터 신호를 제공한다. 제 2 비트 디지털 데이터 신호를 모든 라인들의 픽셀들에 제공 완료까지의 기간은 기록 기간 Ta2로 언급된다.

반면에, 제 2 비트 디지털 데이터 신호가 모든 라인들의 픽셀들에 공급되기 전에, 바꾸어 말하면, 기록 기간 Ta2가 종료하기 전에, 소거 게이트 신호선 Ge2에 대한 소거 게이트 신호선 구동 회로(104)로부터 소거 선택 신호의 입력은 픽셀들에 대한 제 2 비트 디지털 데이터 신호의 입력과 병렬로 실행된다. 따라서, 제 1 라인의 픽셀들의 모든 EL 소자들은 비-발광하게 되고, 픽셀들은 디스플레이를 실행하지 않는다. 이와 같이, 제 1 라인의 픽셀들에 디스플레이 기간 Tr2는 종료하여 비-디스플레이 기간 Td2가 된다.

소거 신호들은 모든 소거 게이트 신호선들에 연속적으로 제공된다. 모든 소거 게이트 신호선들(Ga1 내지 Gay)는 이와 같이 선택되고, 모든 라인들의 픽셀에 의해 유지되는 제 2 비트 디지털 데이터 신호의 소거까지의 기간은 소거 기간 Te2이 된다.

상술된 동작은 제 5 비트 디지털 데이터 신호가 픽셀에 제공될 때까지 반복적으로 실행되고, 디스플레이 기간 Tr 및 비-디스플레이 기간 Td는 반복적으로 나타난다. (도 5참조) 디스플레이 기간 Tr1은 기록 기간 Ta1의 개시로부터 소거 기간 Te1의 개시까지의 기간으로 참조된다. 또한, 비-디스플레이 기간 Td1은 디스플레이 기간 Tr2에 대한 소거 기간 Te1의 개시로부터 기간을 참조한다. 이와같이, 디스플레이 기간 Tr1 및 비-디스플레이 기간 Td1과 유사한, 디스플레이 기간들 Tr2, Tr3, 및 Tr4과 비-디스플레이 기간 Td2, Td3, 및 Td4은 기록 기간 Ta1, Ta2, ..., 및 Ta5과 소거 기간 Te1, Te2, ..., 및 Te4에 의해, 각각, 결정된다.

제 5 비트 디지털 데이터 신호는 제 1 라인의 픽셀들에 제공된 후에, 소거 선택 신호는 소거 게이트 신호선 Ge1에 제공되지 않는다. 제 5 비트 디지털 데이터 신호가 제 1 라인의 픽셀들에 제공된 후에, 소거 신호는 실시예 1에서 소거 게이트 신호선 Ge1에 제공되지 않는다는 것은 주목된다. 물론, 본 발명은 값 5에 제한되지 않는다.

제 1 라인의 픽셀들은 디스플레이 기간 Tr5가 되고, 제 5 비트 디지털 데이터 신호가 제 1 라인의 픽셀들에 제공되면 디스플레이를 실행한다. 제 5 비트 디지털 데이터 신호가 다음의 디지털 데이터 신호가 제공될 때까지 제 1 라인의 픽셀들에 의해 유지된다.

이어서, 제 6 비트 디지털 데이터 신호가 제 1 라인의 픽셀들에 제공되면, 픽셀들에 의해 유지되는 제 5 비트 디지털 데이터 신호는 제 6 비트 디지털 데이터 신호에 재기록된다. 그 후에, 제 1 라인의 픽셀들은 디스플레이 기간 Tr6가 되어 디스플레이를 실행한다. 다시, 제 6 비트 디지털 데이터 신호는 다음 비트의 디지털 데이터 신호가 제공될 때까지 픽셀들에 의해 유지된다.

제 1 비트 디지털 데이터 신호가 픽셀에 다시 제공되면, 프레임 기간은 디스플레이 기간 Tr6가 종료하는 동시에 종료한다. 하나의 이미지의 디스플레이는 모든 디스플레이 기간들(Tr1 내지 Tr6)이 완료될 때 만들어질 수 있다. 본 발명의 구동 방법에 있어서, 하나의 이미지를 디스플레이 하는 기간은 1 프레임 기간(F)으로 칭한다. 상술된 동작은 반복된다.

디스플레이 기간 Tr5은 기록 기간 Ta5의 개시로부터 기록 기간 Ta6의 개시까지의 기간이다. 또한 디스플레이 기간 Tr6은 기록 기간 Ta6의 개시로부터 다음 프레임 기간의 기록 기간 Ta1의 개시까지의 기간이다.

디스플레이 기간들 Tr1의 길이는 $Tr1: Tr2: \dots: Tr5: Tr6=2^0:2^1: \dots: 2^4:2^5$ 가 되도록 설정된다. 디스플레이

이 기간들의 조합으로, 원하는 그레이 스케일 디스플레이는 2^6 그레이 스케일들 중에서 실행될 수 있다.

1 프레임 기간에서 EL 소자들에 의해 발광된 디스플레이 기간들의 길이의 전체 합을 요청하는 것은 상기 프레임 기간에서 픽셀들에 의해 디스플레이된 그레이 스케일을 결정한다. 이를 태면, 모든 디스플레이 기간에서 발광하는 픽셀들의 발광이 100%라고 가정하면, Tr1 및 Tr2에서 발광하는 픽셀들의 경우에, 5%의 발광이 표현될 수 있고, 반면에 Tr3 및 Tr5가 선택되면, 32%의 발광이 표현될 수 있다.

픽셀들에 대한 제 5 비트 디지털 신호를 기록하는 기록 기간 Ta5의 길이가 실시예 1에서 디스플레이 기간 Tr5의 길이보다 짧은 것은 매우 중요하다.

또한, 디스플레이 기간들(Tr1 내지 Tr6)은 임의의 순서로 나타날 수 있다. 이를 태면, 1 프레임 기간에서 디스플레이 기간들은 Tr1, Tr3, Tr5, Tr2, ...로 나타날 수 있다. 그러나, 출현 순서는 소거 기간들(Te1 내지 Te6)은 서로 중첩하지 않는 순서로 나타나는 것이 바람직하다.

본 발명에서, N 채널 TFT 또는 P 채널 TFT는 EL 구동 TFT(108)을 형성하는데 사용될 수 있다. 그러나, EL 소자(110)의 애노드가 픽셀 전극이고, 캐소드가 대향전극이면, EL 구동 회로(108)를 형성하는 P 채널 TFT의 사용이 바람직하다. 대안적으로, EL 소자(110)의 애노드 및 캐소드가 각각 대향전극 및 픽셀전극이라면, EL 구동 TFT(108)을 형성하는 N 채널 TFT를 사용하는 것이 바람직하다.

상기 구조를 채택함으로써, 본 발명은 TFTs에 의해 야기된 $I_{DS} - V_{GS}$ 특성에서 약간의 변화가 있을지라도, 등가 게이트 전압이 인가될 때 출력된 전류의 흐름의 양의 변화를 억제할 수 있다. 결과적으로, 등가 전압을 갖는 신호들이 제공될지라도, EL 소자의 발광의 양과 인접한 픽셀의 발광의 양사이의 많은 차이의 발생이 $I_{DS} - V_{GS}$ 특성의 변화에 의해 야기된 상황은 피할 수 있다.

또한, 디스플레이를 실행하지 않는 비-발광 기간은 본 발명에서 공급될 수 있다. 종래의 야날로그 구동 장치의 경우에서, EL 디스플레이가 모든 백색 이미지를 디스플레이하면, EL 소자는 일정하게 발광하고, EL층의 점차적인 열화의 요소가 된다. 비-발광 기간은 본 발명에서 공급될 수 있으므로, EL층의 열화의 특정 레벨은 억제될 수 있다.

또한, 본 발명에서, 1 프레임 기간보다 더 짧은 모든 기록 기간들의 전체 길이와 디스플레이 기간들의 길이를 $Tr1: Tr2: \dots: Tr5: Tr6 = 2^0:2^1:2^2: \dots: 2^4:2^5$ 의 범위에 존재하도록 설정하는 것이 필요하다.

실시예 2

본 발명을 사용하여 EL 디스플레이를 제조하는 예는 실시예 2에서 설명된다.

도 6a는 본 발명을 사용하는 EL 디스플레이 장치의 평면도이다. 도 6a에서, 참조 번호(4010)는 기판이고, 참조 번호(4011)는 픽셀부이고, 참조 번호(4012)는 소스 신호선 구동 회로이고, 참조 번호(4013a)는 기록 게이트 신호선 구동 회로이고, 참조 번호(4013b)는 소거 게이트 신호선 구동 회로이다. 구동 회로들은 배선(4014a, 4014b, 4015 및 4016)을 거쳐 FPC(4017)를 통해 외부 장치에 접속된다.

이때, 커버 재료(6000), 실링(sealing) 재료(또는 하우징 재료로서 언급됨)(7000), 밀폐 실링 재료(제 2 실링 재료)(7001)는 적어도 픽셀부, 바람직하게는 구동 회로 및 픽셀부를 둘러싸도록 형성된다.

또한, 도 6b는 본 발명의 EL 디스플레이 장치의 단면도이다. 구동 회로 TFT(4022)(하나의 n 채널 TFT 및 하나의 p 채널 TFT가 결합된 CMOS 회로는 도면에서 도시되는 것을 주목), 픽셀 부 TFT(4023)(EL 소자에 대한 전류 흐름을 제어하는 EL 구동 TFT만이 여기에서 도시되는 것을 주목)는 기판(4010)상의 기저막(4021)에 형성된다. TFTs는 공지원 구조(톱(top) 게이트 구조 또는 보텀(bottom) 게이트 구조)를 사용하여 형성될 수 있다.

구동 회로 TFT(4022) 및 픽셀부 TFT(4023)가 완료된 후에, 픽셀 전극(4027)은 수지 재료로 만들어진 층간 절연층(레벨링 막)(4026)상에 형성된다. 픽셀 전극은 픽셀 TFT(4023)의 드레인에 전기적으로 접속되는 투명 전도막으로부터 형성된다. 인듐 산화물(indium oxide) 및 주석 산화물(tin oxide) 화합물(ITO로 언급됨) 또는 인듐 산화물 및 아연 산화물(zinc oxide) 화합물은 투명 전도막으로 사용될 수 있다. 절연막(4028)은 픽셀 전극(4027)을 형성한 후에 형성되고, 개구부는 픽셀 전극(4027)상에 형성된다.

EL 층(4029)은 다음에 형성된다. EL 층(4029)은 공지원 EL 재료들(정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층)을 자유롭게 결합하여, 적층 구조 또는 단일층 구조를 구비하여 형성될 수 있다. 공지원 기술은 어떠한 구조를 사용할지를 결정하는데 사용될 수 있다. 또한, EL 재료들은 저분자량 재료와 고분자량(폴리머) 재료들로서 존재한다. 증착은 저분자량 재료를 이용할 때 사용되며, 반면에 고분자량 재료가 사용될 때, 스프인 코팅, 프린팅, 및 잉크젯 프린팅과 같은 쉬운 방법들을 사용하는 것이 가능하다.

실시예 2에서, EL 층은 새도우(shadow) 마스크를 사용하여 증착함으로써 형성된다. 컬러 디스플레이는 새도우 마스크를 사용하는 각각의 픽셀들에 대해 다른 파장을 갖는 광을 방사 가능한, 발광층(적색 발광층, 녹색 발광층, 및 청색 발광층)을 형성함으로써 가능하다. 또한, 전하 접속층(CCM) 및 컬러 필터들을 결합하는 방법과 같은 방법들, 백색 발광층과 컬러 필터들을 결합하는 방법은 또한 사용될 수 있다. 물론, EL 디스플레이 장치는 물론 단일 컬러의 광을 방사할 수 있다.

EL 층(4029)을 형성한 후에, 캐소드(4030)는 EL 층에 형성된다. 캐소드(4030)와 EL 층(4029) 사이의 인터페이스에서 존재하는 임의의 습기 또는 산소를 가능한 많이 제거하는 것이 바람직하다. 그러므로, 진공상태에서 EL 층(4029) 및 캐소드(4030)를 증착하거나 불활성 기체 환경에서 EL 층(4029)을 형성하고 공기 노출(air exposure)없이 캐소드(4030)를 형성할 필요가 있다. 상기 막 증착은 다중 챔버 방법(클러스터 톨 방법)의 막 증착 장치를 사용하여 실시예 2에서 가능하게 된다.

LiF(리튬 플루오라이드) 막과 AL(알루미늄) 막의 적층 구조는 캐소드(4030)로서 실시예 2에서 사용되는 것을 주목하라. 특히, 1 nm 두께 LiF(리튬 플루오라이드)막은 EL 층(4029)상에 증착하여 형성되고, 300 nm

두께의 알루미늄 막은 LiF 막상에 형성된다. 공지된 캐소드 재료인, MgAg 전극은 물론 사용될 수 있다. 배선(4016)은 참조 번호(4031)에 의해 표시된 영역내의 캐소드에 접속된다. 배선(4016)은 소정의 전압을 캐소드(4030)에 분배하는 전력 공급선이고, 전도 페이스트(paste) 재료(4032)를 통해 FPC(4017)에 접속된다.

참조 번호(4031)에 의해 표시된 영역내의 캐소드(4030) 및 배선(4016)에 전기적으로 접속하기 위해, 중간 절연층(4026) 및 절연층(4028)에서 접촉 정공을 형성하는 것이 필요하다. 접촉 정공들은 중간 절연층(4026)을 애칭할 때(픽셀 전극에 대한 접촉 정공을 형성할 때), 절연층(4028)을 애칭할 때(EL 층을 형성하기 전에 개구부를 형성할 때) 형성될 수 있다. 또한, 절연층(4028)을 애칭할 때, 애칭은 한번에 중간 절연층(4026)에 대해 전체적으로 실행될 수 있다. 바람직한 접촉 정공은 중간 절연층(4026)과 절연층(4028)이 동일한 유기 재료인 것을 공급하는 경우에 형성될 수 있다.

패시베이션(passivation) 막(6003), 충전(filling) 막(6004), 및 커버 재료(6000)는 이와 같이 만들어진 EL 소자의 표면을 덮어 형성된다.

또한, 실링 재료(7000)는 EL 소자부를 둘러싸도록 커버 재료(6000)와 기판(4010) 사이에 형성되고, 밀폐된 실링 재료(제 2 실링 재료)(7001)는 실링 재료(7000)의 외부에 형성된다.

충전 재료(6004)는 커버 재료(6000)를 접합하는 접착재로서 작용한다. PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 뷰티랄), 및 EVA(에틸렌 비닐 아세테이트)는 충전 재료(6004)로 사용될 수 있다. 건조제가 충전 재료(6004)의 안쪽에 형성되면, 양호하게는 습기 흡수 효과를 계속 유지할 수 있다.

또한, 스페이서(spacer)는 충전 재료(6004)내에 포함될 수 있다. 스페이서는, 습기를 흡수하는 능력을 스페이서 자체에 부여하기 위해, BaO와 같은 분말로된 물질이 사용될 수 있다.

스페이서를 사용할 때, 패시베이션 막(6003)은 스페이서 압력을 경감할 수 있다. 또한, 수지막과 같은 막은 스페이서 압력을 경감하기 위해 패시베이션 막(6003)으로부터 개별적으로 형성될 수 있다.

또한, 유리판, 알루미늄판, 스테인레스 스틸판, FRP(유리섬유-강화 플라스틱)판, PVF(폴리비닐 플루오라이드)막, 마일라막, 폴리에스터막, 및 아크릴막은 커버 재료(6000)로 사용될 수 있다. PVB 또는 EVA가 충전 재료(6004)로 사용되면, 수직의 알루미늄 막(foil)은 PVF막 또는 마일라막에 의해 삽입된 시트를 사용하는 것이 바람직하다.

그러나, EL 장치(발광 방향)로부터 발광 방향에 따라, 커버 재료(6000)가 광 투과 특성을 갖는 것이 필요하다.

또한, 배선(4016)은 밀폐 실링 재료(7001)와 기판(4010)간의 갭을 통해 FPC(4017)에 전기적으로 접속된다. 배선(4016)은 여기에서 설명되지만, 배선들(4014a, 4014b 및 4015)은 또한 밀폐 실링 재료(7001) 및 실링 재료(7000)와 기판(4010)사이의 공간을 유사하게 지나 FPC(4017)에 전기적으로 접속된다.

이러한 실시예에서, 커버 재료(6000)는 충전 재료(6004)를 형성한 후에 접착되고, 실링 재료(7000)는 충전 재료(6004)의 측면(노출된 표면)을 덮도록 부착되고, 충전 재료(6004)는 또한 커버 재료(6000) 및 실링 재료(7000)에 부착한 후에 형성될 수 있다. 이러한 경우에, 충전 재료 주입 개구(opening)는 기판(4010), 커버 재료(6000), 및 실링 재료(7000)에 의해 형성된 갭을 통해 형성된다. 갭은 진공 상태(압력은 10^{-2} 토르와 같거나 그 이하임)로 설정되고, 충전 재료를 담고있는 탱크에 주입 개구를 담근 후에, 갭 외부의 공기 압력은 갭 내부의 공기 압력보다 더 높게 되고, 충전 재료는 갭을 채운다.

실시예 3

이러한 실시예에서, 실시예 2의 구조와 다른 구조를 갖는 EL 디스플레이 장치를 제조하는 예는 도 7a 및 7b를 사용하여 설명된다. 도 6a 및 6b와 동일한 참조 번호를 갖는 부분들은 동일한 부분들을 지시하므로, 그러한 부분들의 설명은 생략된다.

도 7a는 본 실시예의 EL 디스플레이 장치의 평면도이며, 도 7b는 도 7a가 A-A' 라인을 따라 자른 단면도를 도시한다.

실시예 2에 따라, 제조법은 EL 소자를 덮는 패시베이션 막(6003)을 형성하는 단계를 통해 실시된다.

또한, 충전 재료(6004)는 EL 소자를 덮도록 형성된다. 충전 재료(6004)는 또한 커버 재료(6000)를 접착하는 접착재로서 작용한다. PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 뷰티랄), 및 EVA(에틸렌 비닐 아세테이트)는 충전 재료(6004)로 사용될 수 있다. 건조제가 충전 재료(6004)의 안쪽에 공급되면, 바람직한 습기 흡수 효과를 계속 유지할 수 있다.

또한, 스페이서들은 충전 재료(6004)내에 포함될 수 있다. 스페이서들은 스페이서 자체에 습기를 흡수하는 능력을 부여하는, BaO와 같은 분말 물질이 될 수 있다.

스페이서를 사용할 때, 패시베이션 막(6003)은 스페이서 압력을 경감할 수 있다. 또한, 수지막과 같은 막은 스페이서 압력을 경감하는 패시베이션 막(6003)으로부터 개별적으로 형성될 수 있다.

또한, 유리판, 알루미늄판, 스테인레스 스틸판, FRP(유리섬유-강화 플라스틱)판, PVF(폴리비닐 플루오라이드)막, 마일라막, 폴리에스터막, 및 아크릴막은 커버 재료(6000)로 사용될 수 있다. PVB 또는 EVA가 충전 재료(6004)로 사용되면, 수직의 알루미늄 막이 PVF 막 또는 마일라 막에 의해 삽입된 시트를 사용하는 것이 바람직하다는 것을 주목하라.

그러나, EL 장치(발광 방향)로부터 발광 방향에 따라, 커버 재료(6000)가 광 투과 특성을 갖는 것이 필요하다.

충전 재료(6004)를 사용하는 커버 재료(6000)를 접착한 후에, 프레임 재료(6001)는 충전 재료(6004)의 측면(노출된 면)을 덮도록 부착된다. 프레임 재료(6001)는 실링 재료(접착재로 작용함)(6002)에 의해 접착된

다. 실링 재료(6002)로써 광 경화 수지를 사용하는 것이 바람직하나, EL 층의 열 저항 특성이 허용하는 것을 공급하면, 열 경화 수지는 또한 사용될 수도 있다. 실링 재료(6002)는 가능한 많이, 습기 및 산소를 투과시키지 않는 재료인 것이 바람직하다는 것을 주목하라. 또한, 건조제는 또한 실링 재료(6002)의 내부에 첨가될 수 있다.

배선(4016)은 실링 재료(6002)와 기판(4010)사이의 갭을 통해 FPC(4017)에 전기적으로 접속된다. 배선(4016)은 여기에서 설명되지만, 배선들(4014a, 4010b 및 4015)은 또한 실링 재료(6002)와 기판(4010)사이의 갭을 통해 동일하게 지나 FPC(4017)에 전기적으로 접속된다.

본 실시예에서 충전 재료(6004)를 형성한 후에, 커버 재료(6000)는 접착되고, 프레임 재료(6001)이 충전 재료(6004)의 측면(노출된 표면)을 덮도록 부착되며, 충전 재료(6004)는 커버 재료(6000) 및 프레임 재료(6001)를 부착한 후에 또한 형성될 수 있다. 이러한 경우에, 충전 재료 주입 개구는 기판(4010), 커버 재료(6000), 및 프레임 재료(6001)에 의해 형성된 갭을 통해 형성된다. 갭은 진공 상태(10^{-2} 토르와 같거나 그 이하인 압력)로 설정되고, 충전 재료를 담고 있는 탱크에 주입 개구를 담근후에, 갭 외부의 공기 압력은 갭 내부의 공기 압력보다 더 높게되어, 충전 재료는 갭을 채운다.

실시예 4

픽셀부의 더 자세한 단면 구조는 도 8에서 도시된다. 도 8에서, 기판(3501)상에 형성된 스위칭 TFT(3502)는 공지된 방법으로 형성된 n 채널형 TFT를 사용하여 제조된다. 이중 게이트 구조는 본 실시예에서 사용된다. 그러나, 이중 게이트 구조는 2 개의 TFTs가 있는 구조이며, 사실상, 직렬로 접속되고, 오프 전류값이 감소할 수 있는 장점이 있다. 이중 게이트 구조가 본 실시예에서 사용되지만, 단일 게이트 구조, 삼중 게이트 구조, 더 많은 수의 게이트들을 구비하는 다중 게이트 구조가 또한 사용될 수 있다. 또한, p 채널형 TFT가 사용될 수 있다.

소거 TFT(3504)는 n 채널 TFT이고, 공지된 방법을 사용하여 제조된다. 단일 게이트 구조는 본 실시예에서 사용된다. 단일 게이트 구조가 본 실시예에서 사용되지만, 이중 게이트 구조, 삼중 게이트 구조, 더 많은 수의 게이트를 구비하는 다중 게이트 구조가 또한 사용될 수 있다. 또한, 공지된 방법에 의해 형성된 p 채널형 TFT가 사용될 수 있다. 소거 TFT(3504)의 드레인 배선(31)은 배선(36)에 의해 소거 TFT(3504)의 드레인 배선(31) 및 스위칭 TFT(3502)의 드레인 배선(35)에 전기적으로 접속된다.

EL 구동 TFT(3503)는 공지된 방법을 사용하여 제조된 n-채널 TFT를 사용한다. EL 구동 TFT의 게이트 전극(37)은 배선(36)을 통해 스위칭 TFT(3502)의 드레인 배선(35)과 소거 TFT(3504)의 드레인 배선(31)에 전기적으로 접속된다.

EL 구동 TFT는 EL 소자를 통해 흐르는 전류의 크기를 제어하는 소자이기 때문에, 많은 양의 전류가 흐르고, 열에 기인한 열화 및 핫 캐리어(hot carrier)에 기인하여 열화하기 매우 쉬운 소자이다. 그러므로, LDD 영역이 게이트 절연막을 통해 게이트 전극을 중첩하기 위해 EL 구동 TFT의 드레인 측상에 구비되는 본 발명의 구조는 매우 효과적이다.

EL 구동 TFT(3503)의 단일 게이트 구조는 실시예 4의 도면에서 도시되고, 복수의 TFTs가 직렬로 접속된 다중 게이트 구조가 또한 사용될 수 있다. 또한, 복수의 TFTs가 병렬로 접속되어, 효과적으로 복수의 채널 형성 영역으로 분할하며, 고효율을 갖는 열 방사를 실행할 수 있는 구조는 또한 사용될 수 있다. 이러한 구조는 열에 기인한 열화를 처리하는데 효과적이다.

또한, 드레인 배선(40)은 전력 공급선(전력선)(3506)에 접속되며, 일정한 전압이 항상 인가된다.

제 1 패시베이션 막(41)은 스위칭 TFT(3502), EL 구동 TFT(3503), 및 소거 TFT(3504)상에 형성되며, 레벨링 막(42)은 절연 수지막으로부터 상단에 형성된다. 레벨링 막(42)을 사용하는 TFTs에 기인하여 스텝(step)을 평탄화하는 것은 극히 중요하다. 나중에 형성된 EL 층은 극히 얇기 때문에, 불완전한 발광이 발생하는 경우가 있다. 그러므로, 가능한 표면을 평탄화한 EL 층을 형성하기 위해, 픽셀 전극을 형성하기 전에 평탄화를 실행하는 것이 바람직하다.

또한, 참조 번호(43)는 높은 반사성을 갖는 도전막으로 구성된 픽셀 전극(EL 소자 캐소드)를 표시하며, 이것은 EL 구동 TFT(3503)의 드레인 영역에 전기적으로 접속된다. 알루미늄 합금막, 구리 합금막, 및 은 합금막, 또는 그러한 막들의 적층물과 같은, 낮은 저항 도전막을 사용하는 것이 바람직하다. 물론, 또다른 도전막을 구비한 적층 구조는 또한 사용될 수 있다.

또한, 발광층(45)은 बैं크(44a 및 44b)에 의해 형성된 홈(픽셀과 대응함)에서 형성되고, 절연막(양호하게는 수지)에 의해 형성된다. 단지 하나의 픽셀이 도면에서 도시되지만, 발광층이 형성될 수 있고 각각의 컬러들 R(적), G(녹), 및 B(청)과 대응하여 분할될 수 있다. π 결합 폴리머 재료는 유기 EL 재료로 사용된다. 폴리파라필렌 비닐렌(PPV), 폴리비닐 카바졸(PVK) 및 폴리플루오레인(polyfluorane)은 전형적인 폴리머 재료로서 주어질 수 있다.

Schenk, H., Becker, O., Gelson, O., Kluge, E., Kreuder, W., 및 Speritzer, H에 의해 1999년의 Euro Display Proceeding에 "Polymers for Light Emitting Diodes"의 33-37페이지에 기술된 재료들 및 몇 가지 형태의 PPV 유기 EL 재료들이 있고, 예를 들면, 일본 특허명 제 10-92576 호에서 사용될 수 있다는 것을 주목하라.

특정 발광층으로서, 시아노-폴리페닐렌(cyano-polyphenylene) 비닐렌은 적색 광 방사 발광층으로 사용될 수 있고, 폴리페닐렌 비닐렌은 녹색 광 방사 발광층으로 사용될 수 있고, 폴리페닐렌 비닐렌 또는 폴리알킬페닐렌(polyalkylphenylene)은 청색 광 방사 발광층으로 사용될 수 있다. 막 두께는 30 내지 150 nm사이(양호하게는 40 내지 100nm사이)일 수 있다.

그러나, 상기 예는 발광층으로써 사용될 수 있는 유기 EL 재료들 중 하나의 예이고, 이러한 재료들에 대해 사용을 제한할 필요가 없다. EL 층(광을 방사하고 캐리어 이동을 실행하는 층)은 발광층, 전하 수송층, 및 전하 주입층을 자유롭게 결합하여 형성될 수 있다.

예를 들어, 본 실시예에는 발광층으로 폴리머 재료를 사용하는 예를 도시하며, 저분자량 유기 EL 재료는 또한 사용될 수 있다. 또한, 전하 수송층 또는 전하 주입층으로써, 실리콘 카바이드(silicon carbide)와 같은 무기 재료를 사용하는 것이 가능하다. 공지된 재료들은 이러한 유기 EL 재료 및 무기 재료로 사용될 수 있다.

PEDOT(폴리티오펜) 또는 PAni(폴리아닐린)으로 만든 정공 주입층(46)이 발광층(45)상에 형성된, 적층(laminar) 구조는 본 실시예에서 사용된다. 애노드(47)는 투명 도전막으로부터 정공 주입층(46)위에 형성된다. 발광층(45)에 의해 발생된 광은 본 실시예에서 상부 표면쪽으로(TFT의 윗면쪽) 방사되므로, 애노드는 광에 대해 투명해야 한다. 인듐 산화물 및 주석 산화 화합물, 또는 인듐 산화물 및 아연 산화 화합물은 투명 도전막에 사용될 수 있다. 그러나, 낮은 열 저항 발광 및 정공 주입층을 형성한 후에 형성되기 때문에, 가능한 낮은 온도에서 증착될 수 있는 재료를 사용하는 것이 바람직하다.

EL 소자(3505)는 애노드(47)가 형성되는 시점에서 완성된다. 여기에서 EL 소자(3505)로 칭하는 것은 픽셀 전극(캐소드)(43), 발광층(45), 정공 주입층(46), 및 애노드(47)에 의해 형성되는 것을 주목하라. 픽셀 전극(43)은 영역에서 픽셀과 거의 같고, 따라서 전체 픽셀은 EL 장치로 작용한다. 그러므로, 발광 효율은 매우 높고, 선명한 이미지 디스플레이가 가능하게 된다.

또한, 제 2 패시베이션 막(48)은 본 실시예에서 애노드(47)상에 형성된다. 제 2 패시베이션 막(48)으로 실리콘 질화물(silicon nitride)막 또는 산화 실리콘 질화물(oxidized silicon nitride)막을 사용하는 것이 바람직하다. 이것의 목적은 외부로부터 EL 소자의 절연하는 것이고, 이것은 유기 EL 재료의 산화에 기인한 열화를 방지하고 유기 EL 재료로부터 방사된 가스체를 제어하는데 있어서 중요하다. 이와 같이, EL 디스플레이의 신뢰도는 증가할 수 있다.

본 발명의 EL 디스플레이는 도 8와 같이 구성된 픽셀들로 이루어진 픽셀부를 가지며, 효과적으로 낮은 오프 전류값을 갖는 스위칭 TFT, 및 핫 캐리어 주입에 대해 강한 EL 구동 제어 TFT를 가진다. 높은 신뢰도를 갖는, 충분한 이미지 디스플레이가 가능한, EL 디스플레이 패널은 획득될 수 있다.

실시예 5

실시예 4에서 도시된 픽셀부에서 EL소자(3505)의 구조가 반전되는 구조는 본 실시예에서 기술된다. 도 9는 설명에 사용된다. 도 9의 구조와 도 8의 구조간의 차이점은 EL 소자부와 EL 구동 TFT이므로, 다른 부분들의 설명은 생략된다.

EL 구동 TFT(3503)는 도 9에서 p 채널 TFT이고, 공지된 방법을 사용하여 제조될 수 있다.

투명 도전막은 본 실시예에서 픽셀 전극(애노드)로 사용된다. 특히, 인듐 산화물 및 아연 산화물로 만든 도전막이 사용된다. 물론, 인듐 산화물 및 주석 산화물의 혼합물로 만든 도전막이 사용될 수도 있다.

절연막으로부터 뱅크(51a 및 51b)를 형성한 후에, 발광층(52)은 용액 코팅(solution coating)에 의해 폴리비닐 카바졸로부터 형성된다. 전자 주입층(53)은 칼륨 아세틸레이토네이트(acetylacetonate)(acacK로 표시됨)로부터 발광층상에 형성되며, 캐소드(54)는 알루미늄 합금으로부터 형성된다. 이러한 경우에, 캐소드(54)는 또한 패시베이션 막으로 작용한다. 이와 같이, EL 소자(3701)이 형성된다.

발광층(52)에 의해 발생된 광은 화살표로 도시된 바와같이, TFT는 본 실시예에서 형성된 기판을 향하여 방사된다.

실시예 6

본 발명에서, 픽셀 구조가 도 10a 내지 10c에 도시된 경우의 예는 도 3에서 도시된 회로도의 픽셀 구조와 다르다. 본 실시예에서, 참조 번호(3801)는 스위칭 TFT 3803의 게이트 배선(일부의 게이트 신호선)을 표시하고, 3802는 스위칭 TFT(3803)의 소스 배선(일부의 소스선)을 표시하고, 3804는 EL 구동 TFT를 표시하고, 3805는 소거 TFT를 표시하고, 3806는 EL 소자를 표시하고, 3807는 전류 공급선을 표시하고, 3808는 커패시터를 표시한다.

도 10a는 전류 공급선(3807)이 두 개의 픽셀사이에 공통인 경우의 예이다. 즉, 이것은 두 개의 픽셀이 전류 공급선(3807) 주위에 선형 대칭하여 형성된 것을 특징으로 한다. 이러한 경우에, 전류 공급선의 수가 감소할 수 있으므로, 픽셀부는 더 높은 선명도로 만들어질 수 있다.

또한, 도 10b는 전류 공급선(3808)이 게이트 배선(3801)에 병렬로 형성되는 경우의 예이다. 도 10b에서, 구조는 전류 공급선(3808) 및 게이트 배선(3801)이 절연막을 통해 중첩하지 않도록 형성되는 것을 주목하라. 양쪽 배선이 다른 층에 형성되는 경우에, 절연막을 거쳐 서로 중첩하도록 구비될 수 있다. 이러한 경우에, 배타적인 표면 영역은 전류 공급선(3808) 및 게이트 배선(3801)에 의해 분배될 수 있고, 픽셀부는 더 높은 선명도로 만들어질 수 있다.

또한, 도 10c는 전류 공급선(3808) 및 게이트 배선(3801)이 도 10b의 구조와 유사한 병렬로 형성되는 것을 특징으로 하며, 또한, 두 개의 픽셀이 전류 공급선(3808) 주위에 선형 대칭되도록 형성되는 것을 특징으로 한다. 또한, 게이트 배선들(3801) 중 하나와 중첩하도록 전류 공급선(3808)을 형성하는 것이 효과적이다. 이러한 경우에, 전류 공급선들이 감소될 수 있으므로, 픽셀부는 더 높은 해상도로 만들어질 수 있다.

실시예 7

도 3 및 10에서, 커패시터는 EL 구동 TFT의 게이트 전극에 인가된 전압을 유지하기 위해 구비된다. n 채널 TFT가 EL 구동 TFT로 사용되기 때문에, EL 구동 TFT는 게이트 절연막을 거쳐 게이트 전극과 중첩하도록 구비된 LDD 영역을 갖는다. 이러한 영역에서, 게이트 커패시터로 칭하는 기생 커패시터가 통상적으로 형성된다. 본 실시예는 기생 커패시터가 EL 구동 TFT의 게이트 전극에 인가된 전압을 유지하도록 능동적으로 사용되는 것을 특징으로 한다.

기생 커패시터의 정전 용량은 상술된 게이트 전극이 LDD 영역과 중첩하는 영역에 따라 변화된다.

그러므로, 정전 용량은 영역에 포함된 L00 영역의 길이에 의해 결정된다.

실시에 8

본 실시예에서, 본 발명의 EL 디스플레이의 픽셀부를 동시에 제조하는 방법, 및 픽셀부 주위에 구비된 구동 회로부의 TFT는 기술된다. 구동 회로에 관하여, 구동 회로의 기본 유니트인 CMOS 회로는 간단한 설명 대신에, 도면에서 도시된다. 또한, 스위칭 TAFT 또는 EL 구동 TAFT의 제조 방법으로 형성될 수 있기 때문에, 소거 TAFT에 관한 것은 생략된다.

먼저, 기저막(도시되지 않음)이 표면에 증착되는 기판(501)은 도 11a에서 도시된 바와 같이 준비된다. 본 실시예에서, 두께가 200nm인 실리콘 나이트라이드 산화물(silicon nitride oxide)막과 또다른 두께가 100nm인 실리콘 나이트라이드 산화물막은 적층되어, 결정화 유리상의 기저막으로 사용된다. 바람직하게는, 결정화된 유리 기판과 접촉하는 막의 질소 농도는 10-25wt%로 유지된다. 임의의 기저막 없이 석영 기판상에 직접적으로 소자를 형성하는 것이 가능하다.

이후에, 두께 45nm인 비정질 실리콘막(502)은 공지된 막 형성 방법으로 기판(501)상에 형성된다. 비정질 실리콘 막에 제한될 필요가 없다. 그 대신에, 비정질 구조를 갖는 반도체막(미정질 반도체막)은 본 실시예에서 사용될 수 있다. 비정질 실리콘 게르마늄막과 같은, 비정질 구조를 갖는 화합물 반도체막은 또한 여기에서 사용될 수 있다.

여기에서 도 11c까지의 단계들은 본 출원자에 의해 제출된 일본 특개평 제 10-247735 호로부터 이해될 수 있다. 이러한 공보는 촉매로서, Ni와 같은, 소자를 사용하는 반도체막을 결정화하는 방법에 관한 기술이 나타나 있다.

먼저, 개구(503a, 503b)를 갖는 보호막(504)은 형성된다. 150nm 두께의 실리콘 옥사이드막은 본 실시예에서 사용된다. 니켈(Ni)을 포함하는 층(505)(Ni 포함층)은 스펀 코팅방법으로 보호막(504)상에 형성된다. Ni 포함층의 형성에 관하여, 참조는 상기 공보로 만들어질 수 있다.

이후에, 도 11c에서 도시된 바와같이, 열처리는 14 시간동안 570⁰에서 불활성 가스체하에서 실행되고, 불활성 실리콘 막(502)은 결정화된다. 이때, 결정화는 Ni가 첨가되는 영역들(506a, (506b)(하기에, Ni 부가 영역으로 지정됨)로부터 개시되는 기판과 실질상 병렬로 진행된다. 결과적으로, 바(bar) 결정들이 모여 라인들을 형성하는 결정 구조를 갖는 폴리실리콘막(507)이 형성된다..

하기에, 도 11에서 도시된 바와 같이, 15-축에 속한 원소(양호하게는, 포스포러스)는 Ni 부가 영역(506a 및 506)에 접촉되는 반면에 마스크로서 보호막(504)에 남는다. 이와 같이, 인이 고농도로 부가된 영역(508a, 508b)(하기에, 인 부가 영역으로 지정됨)은 형성된다.

하기에, 12시간동안 600⁰C에서 열처리는 도 11c에서 도시되는 바와 같이 불활성 가스체내에서 실행된다. 폴리실리콘막(507)에서 존재하는 Ni는 이러한 열처리에 의해 이동되며, 대부분은 화합물로 도시된 바와 같이 인 부가 영역(508a, 508b)에 의해 포획된다. 이것은 인에 의한 금속 원소(본 실시예에서 Ni)의 게터링 효과에 의해 야기된 현상이라고 고려된다.

이러한 공정에 의해, 폴리실리콘막(509)에 남아있는 Ni의 농도는 SIMS(질량 제 2 이온 분석(mass secondary ion analysis))에 의한 측정 값에 따라 적어도 2×10^{17} atoms/cm³으로 감소된다. Ni가 반도체에 대한 수명을 단축시킬지라도, 이러한 정도로 감소할 때, 반대 영향은 TAFT 특성에 주어지지 않는다. 또한, 이러한 농도가 상기 기술의 현재 상태에 SIMS 분석의 측정 한도이기 때문에, 실제에서 오히려 더 낮은 농도(2×10^{17} atoms/cm³ 이하)를 보여줄 것이다.

이와 같이, 폴리실리콘막(509)은 촉매에 의해 결정화되어 획득될 수 있고, 촉매가 TAFT의 동작을 방해하지 않는 레벨로 감소된다. 그 후에, 폴리실리콘막(509)만을 사용하는 능동층(510-513)은 패터닝(patterning) 공정에 의해 형성된다. 이 때에, 다음의 패터닝에서 마스크 정렬을 수행하는 마커(marker)는 상기 폴리실리콘막을 사용하여 형성되어여 한다.(도 11d)

그 후에, 50 nm 두께의 실리콘 질화 산화물막은 도 11e에서 도시되는 바와 같이 플라즈마 CVD 방법으로 형성되고, 1 시간에 950⁰C에 열처리가 산화 가스체에서 실행되어, 열 산화 공정이 실행된다. 산화 가스체는 산화 가스체 또는 할로겐이 첨가된 또다른 산화 가스체일 수 있다.

이러한 열 산화 공정에서, 산화는 능동층과 실리콘 질화 산화물막 사이의 인터페이스에서 처리되고, 두께가 약 15nm인 폴리실리콘막은 산화되어, 두께가 약 30nm인 실리콘 산화물막이 형성된다. 즉, 80nm의 두께의 게이트 절연막(514)은 30nm 두께의 실리콘 산화물막과 50nm 두께의 실리콘 질화 산화물막이 적층되어 형성된다. 능동층의 막두께(510-513)는 열 산화 공정에 의해 30nm로 된다.

그 후에, 도 12a에서 도시되는 바와 같이, 저항 마스크(515a, 515b)가 형성되고, 게이트 절연막(514)를 통해 p-형으로 주어진 불순물 성분(이후에, p-형 불순물 성분으로 지정됨)이 첨가된다. p-형 불순물 성분으로서, 대표적으로 보론 또는 갈륨과 같은 13-기(group) 원소들에 속한 성분은 통상적으로 사용된다. 이것(채널 도핑 공정으로 칭함)은 TAFT의 임계전압을 제어하는 공정이다.

본 실시예에서, 보론은 플라즈마 여기가 다이보레인(B₂H₆)의 질량 분리없이 실행되는 이온 도핑 방법에 의해 첨가된다. 물론, 질량 분리를 실행하는 이온 여기 방법이 사용될 수 있다. 이러한 공정에 따라, 불순물 영역들(516, 517)은 1×10^{15} - 1×10^{18} atoms/cm³(대표적으로, 5×10^{16} - 5×10^{17} atoms/cm³)의 농도에서 보론을 포함하여 형성된다.

그 후에, 저항 마스크(519a, 519b)는 도 12b에서 도시된 바와 같이 형성되고, 게이트 절연막(514)의 도체를 통해 n-형을 주입하는 불순물 성분(여기에서, n-형 불순물 성분으로 지정됨)이 첨가된다. n-형 불순물 성분으로서, 대표적으로 인 또는 비소와 같은 15-기 성분들에 속하는 성분은 통상적으로 사용될 수 있다.

본 실시예에서, 플라즈마 여기는 포스핀(PH_3)의 질량 분리없이 실행되는 플라즈마 도핑 방법이 사용된다. 인은 $1 \times 10^{18} \text{ atoms/cm}^3$ 의 농도로 첨가된다. 질량 분리를 실행하는 이온 주입방법은 역시 사용될 수 있다.

도즈(dose) 양은 n-형 불순물 성분이 $2 \times 10^{16} - 5 \times 10^{19} \text{ atoms/cm}^3$ (대표적으로, $5 \times 10^{17} - 5 \times 10^{18} \text{ atoms/cm}^3$)의 농도에서 이러한 공정에 의해 형성된 n-형 불순물 영역(520)에 포함되도록 조절한다.

그 후에, 공정은 도 12c에서 도시된 바와 같은 첨가된 n-형 불순물 성분 및 첨가된 p-형 불순물 성분을 활성화하기 위해 실행된다. 활성화 수단에 제한될 필요가 없으나, 게이트 절연막(514)이 증착되기 때문에, 전자-열 노를 사용하는 노 어닐링(annealing) 공정이 바람직하다. 또한, 도 12a의 공정에서 채널 형성 영역인 활성층과 일부의 게이트 절연막사이의 인터페이스에 손상을 입힐 가능성이 있기 때문에, 가능한 높은 온도에서 열처리를 실행하는 것이 바람직하다.

고열 저항을 갖는 결정화 유리는 본 실시예에서 사용되기 때문에, 활성화 공정은 1 시간에서 800°C 에서 노 어닐링 처리에 의해 실행된다. 열 산화는 산화 가스체에서 처리 가스체를 유지하여 실행될 수 있고, 또는 열 처리는 불활성 가스체에서 실행될 수 있다.

이러한 공정은 n-형 불순물 영역(520)의 가장자리, 즉 n-형 불순물 영역(520)과 n-형 불순물 성분이 첨가되지 않은 n-형 불순물 영역(520) 주위의 영역(도 12a의 공정으로 형성된 p-형 불순물 영역)간의 경계(접합부)를 깨끗하게 한다. 이것은 LDD 영역 및 채널 형성 영역이 TAFT가 나중에 완료될 때, 우수한 접합을 형성할 수 있다는 것을 의미한다.

이후에, 200-400nm 두께의 전도 막은 형성되고, 패턴닝이 실행되어, 게이트 전극들(522-525)이 형성된다. 각각의 TAFT 채널의 길이는 게이트 전극(522-525)의 라인 폭에 의해 결정된다.

게이트 전극은 단일층의 전도막으로 이루어질 수 있고, 그러나, 필요할때, 양호하게는, 2층 또는 3층막과 같은, 적층막이 사용된다. 공지된 도전막은 게이트 전극의 재료로 사용될 수 있다. 특히, 사용될 수 있는 막은 도전율을 갖는 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 실리콘(Si)으로 이루어진 기(group)로부터 선택된 성분으로 만든 막이다; 상술된 성분들의 질화물막(대표적으로, 탄탈륨 질화물막, 텅스텐 질화물막, 또는 티타늄 질화물막); 상술된 성분의 결합의 합금막(대표적으로, Mo-W 합금 또는 Mo-Ta 합금); 또는 상술된 성분의 규화물막(대표적으로, 텅스텐 규화물막 또는 티타늄 규화물막). 그것들은 물론, 단일 층 구조 또는 적층 구조를 구비할 수 있다.

본 실시예에서, 적층막은 50nm 두께의 텅스텐 질화물(WN)막과 350nm 두께의 텅스텐(W)막으로 만들어진 것이 사용된다. 이것은 스퍼터링 방법으로 형성될 수 있다. 스퍼터링 가스로서, Xe 또는 NE와 같은, 불활성 가스를 첨가하여, 막이 스트레스 때문에 벗겨지는 것을 방지할 수 있다.

게이트 전극(523)은 n-형 불순물 영역(520)의 부분, 대표적으로 그 사이에 게이트 절연막(514)과 중첩하여 형성된다. 중첩하는 부분은 게이트 전극과 중첩하는 나중에 LDD 영역으로 만들어진다. 도면의 단면도에 따라, 게이트 전극(524a, 524b)은 분리되어 보여지고, 사실상, 그것들은 전기적으로 서로 접속된다.

그 후에, 마스크로서 게이트 전극구비하여, n-형 불순물 성분(본 실시예에서 인)은 도 13a에서 도시되는 것처럼, 자기-조정(self-adjustably)하여 첨가된다. 이때, 조정은 인이 n-형 불순물 영역(520)의 농도의 $1/2 - 1/10$ (대표적으로, $1/3 - 1/4$) 농도로 형성된 불순물 영역(526-533)에 첨가되도록 실행된다. 특히, 농도는 $1 \times 10^{16} - 5 \times 10^{18} \text{ atoms/cm}^3$ (통상적으로, $3 \times 10^{17} - 3 \times 10^{18} \text{ atoms/cm}^3$)이 된다.

그 후에, 도 13b에 도시된 바와 같이, 저항 마스크(534a-534d)는 게이트 전극을 덮도록 형성되고, n-형 불순물 성분(본 실시예에서 인)은 첨가되어, 고농도의 인을 포함하는 불순물 영역(535-539)이 형성된다. 포스핀(PH_3)을 사용하는 이온 도핑 방법은 여기에서 또한 적용되고, 조정은 이러한 영역에서 인의 농도가 $1 \times 10^{20} - 1 \times 10^{21} \text{ atoms/cm}^3$ (대표적으로, $2 \times 10^{20} - 5 \times 10^{21} \text{ atoms/cm}^3$)이 되도록 실행된다.

n-채널형 TAFT의 소스 영역 또는 드레인 영역은 이러한 공정을 통해 형성되고, 스위칭 TAFT는 도 13a의 공정에서 형성된 n-형 불순물 영역(528-531)의 일부를 남긴다. 남은 부분은 스위칭 TAFT의 LDD 영역이 된다.

그 후에, 도 13c에서 도시된 바와 같이, 저항 마스크(534a-534d)는 제거되어, 저항 마스크(542)가 새로 형성된다. p-형 불순물 성분(본 실시예에서 보론)은 첨가되어, 고농도의 보론을 포함하는 불순물 영역(540, 541 및 544)이 형성된다. 여기에서, 다이보레인(B_2H_6)을 사용하는 이온 도핑 방법에 따라, 보론은 $3 \times 10^{20} - 3 \times 10^{21} \text{ atoms/cm}^3$ (대표적으로, $5 \times 10^{20} - 1 \times 10^{21} \text{ atoms/cm}^3$)의 농도를 얻도록 첨가된다.

인은 이미 불순물 영역(540, 541, 543 및 544)에 $1 \times 10^{20} - 1 \times 10^{21} \text{ atoms/cm}^3$ 농도로 첨가되었다. 보론은 첨가된 인과 같은 고농도로 적어도 세번 첨가된다. 그러므로, 이전에 형성된 n-형의 불순물 영역은 p-형의 불순물 영역으로 완전히 변하고, p-형의 불순물 영역으로 작용한다.

그 후에, 도 13d에서 도시되는 바와 같이, 저항 마스크(542)는 제거되고, 제 1 층간 절연막(546)이 형성된다. 제 1 층간 절연막(546)으로서, 실리콘을 포함하는 절연막은 단일층 구조 또는 결합함으로써 스택(stack)층 구조의 형태로 사용된다. 바람직하게는, 막두께는 400nm - 1.5 μm 이다. 본 실시예에서, 구조는 800nm 두께의 실리콘 산화물막이 200nm 두께의 실리콘 질화 산화물막위에 쌓여서 생성된다.

그 후에, 각각의 농도로 첨가된 n-형 또는 p-형 불순물 소자는 활성화된다. 노 어닐링 방법은 활성화 수단으로서 바람직하다. 본 실시예에서, 열 처리는 전자 열(electro-thermal) 노내의 질소 가스체에서 4시간 동안 550°C 로 실행된다.

열처리는 수소첨가를 위해 3 - 100%의 수소를 포함하는 가스체에서 1-12시간 동안 $300-450^\circ\text{C}$ 에서 더 실행된다. 이것은 열적으로 수소를 여기서 반도체막의 언페어(unpaired) 결합에 수소 제거하는 공정이다. 수소

첨가를 위한 또다른 수단에는, 플라즈마 수소첨가법(플라즈마에 의해 여기된 수소가 사용됨)이 실행될 수 있다.

수소첨가는 제 1 층간 절연막(546)의 형성동안 실행될 수 있다. 더 자세하게는, 200nm 두께의 실리콘 질화 산화물막이 형성되며, 수소첨가는 상술된 바와 같이 실행되고, 그 후에 800nm 두께의 실리콘 산화물막이 형성될 수 있다.

그 후에, 도 14a에서 도시된 바와같이, 접촉 정공은 제 1 층간 절연막(546) 및 게이트 절연막(514)에서 만들어지고, 소스 배선(547-550) 및 드레인 배선(551-553)은 형성된다. 본 실시예에서, 이러한 전극은 100nm 두께의 티타늄(Ti)막, 티타늄(Ti)을 포함하는 300nm 두께의 알루미늄막, 및 150nm 두께의 티타늄(Ti)막이 스퍼터링 방법에 따라 연속적으로 형성되는 3층 구조의 적층막을 구비하여 형성된다. 다른 전도막들은 물론 사용될 수 있다.

그 후에, 제 1 패시베이션막(554)은 50-500nm 두께(대표적으로, 200-300nm 두께)가 되도록 형성된다. 본 실시예에서, 300nm 두께의 실리콘 질화 산화물막은 제 1 패시베이션막(554)로 사용된다. 실리콘 질화물막은 이것과 대체될 수 있다.

이 때에, H₂ 또는 NH₃와 같은, 실리콘 질화 산화물막의 형성전에, 수소를 포함하는 가스를 사용하여 플라즈마 처리를 실행하는 것은 효과적이다. 이러한 공정에 의해 여기된 수소는 제 1 층간 절연막(546)에 공급되고, 열처리를 통해, 제 1 패시베이션막(554)의 막 품질은 향상된다. 동시에, 제 1 층간 절연막(546)에 첨가된 수소는 낮은쪽으로 확산하기 때문에, 능동층은 효과적으로 수소첨가될 수 있다.

이후에, 도 14b에서 도시되는 바와 같이, 유기 수지로 만들어진 제 2 층간 절연막(555)이 형성된다. 폴리마이드, 아크릴 섬유, BCB(벤조사이클로뷰텐)은 유기 수지로 사용될 수 있다. 특히, 제 2 층간 절연막(555)은 TFTs에 의해 형성된 레벨 차를 평탄화하도록 요구되고, 평탄화가 우수한 아크릴막이 바람직하다. 아크릴막은 본 실시예에서 2.5μm 두께가 되도록 형성된다.

그 후에, 드레인 배선(553)에 도달하는 접촉 정공은 제 2 층간 절연막(555) 및 제 1 패시베이션막(554)에서 만들어지며, 픽셀전극(애노드)556이 형성된다. 본 실시예에서, 인듐 주석 산화물막(ITO)은 110nm 두께가 되도록 형성함으로써 픽셀 전극으로 형성되어 패턴화된다. 투명 전도막은 2-20%의 아연 산화물(ZnO)은 인듐과 혼합하여 사용될 수 있고, 주석 산화물막은 또한 사용될 수 있다. 이러한 픽셀 전극은 EL 소자(203)의 애노드이다.

그 후에, 실리콘을 포함하는 절연막(본 실시예에서 실리콘 산화물막)은 500nm 두께가 되도록 형성되고, 개구는 픽셀 전극(556)과 대응하는 위치에서 형성되고, 제 3 층간 절연막(557)이 형성된다. 개구가 형성될 때, 습식 애칭 방법을 사용하여 테이퍼형 측면부를 쉽게 형성하는 것이 가능하다. 개구의 측면부가 효과적으로 느린 경사를 갖지 않는다면, 레벨 차에 의해 야기된 EL층의 열화는 중요한 문제로 이르게 될 것이다.

다음에, EL층(558) 및 캐소드(MgAg 전극)(559)는 공기 배출없이 진공 증착 방법을 사용하여 형성된다. EL층(558)의 두께는 80-200nm(통상적으로, 100-120nm)이다; 캐소드(559)는 180-300nm(통상적으로, 200-250nm).

이러한 공정에서, EL층 및 캐소드는 적색과 대응하는 픽셀, 녹색과 대응하는 픽셀, 청색과 대응하는 픽셀에 대해 연속하여 형성된다. 그러나, EL층이 용해제에 대해 내성이 약하기 때문에, 그것들은 포토리소그래피 기술을 사용하지 않고 각각의 색깔에 대해 독립적으로 형성되어야 한다. 이와 같이, 금속 마스크를 사용하여 원하는 하나를 제외한 픽셀들을 마스크하고, 선택적으로 원하는 픽셀에 대한 EL층을 형성하는 것이 바람직하다.

자세하게는, 마스크는 처음에 적색과 대응하는 픽셀을 제외한 모든 픽셀들을 숨기도록 설정하여, EL 층과 적색 발광의 픽셀 전극은 선택적으로 마스크에 의해 형성된다. 그 후에, 마스크는 녹색과 대응하는 픽셀을 제외한 모든 픽셀들을 숨기도록 설정되며, EL 층과 녹색 발광의 픽셀 전극은 마스크에 의해 선택적으로 형성된다. 그 후에, 상술된 바와 같이, 마스크는 청색과 대응하는 픽셀을 제외한 모든 픽셀을 숨기도록 설정되고, EL 층과 청색 발광의 픽셀 전극은 마스크에 의해 선택적으로 형성된다. 이러한 경우, 다른 마스크가 각각의 색깔에 사용된다. 대신에, 동일한 마스크는 동일한 색깔에 사용될 수 있다. 양호하게는, EL 층 및 픽셀 전극이 모든 픽셀에 형성될 때까지 진공을 깨지 않고 실행된다.

공지된 재료는 EL 층(558)에 사용될 수 있다. 양호하게는, 구동 전압을 고려한 유기 재료이다. 예를 들어, EL층은 양극 정공 주입층, 양의 정공 수송층, 발광층 및 전자 주입층을 구성하는 4 층구조로 형성될 수 있다. 본 실시예에서, EL 소자(203)의 캐소드로서 MgAg 전극을 사용하는 예이고, 다른 공지된 재료가 또한 사용될 수 있다.

보호 전극(560)으로서, 주요 성분으로 알루미늄을 포함하는 전도층이 사용될 수 있다. 보호 전극(560)은 EL층 및 캐소드를 형성할 때, 또다른 마스크를 갖는 진공 증착 방법을 사용하여 형성된다. 또한, 보호 전극은 EL 층과 캐소드를 형성한 후에 공기 배출없이 연속적으로 형성된다.

마지막으로, 실리콘 질화물막으로 만들어진 제 2 패시베이션막(561)은 300nm 두께가 되도록 형성된다. 특히, 보호 전극(560)은 물로부터 보호 EL층을 보호하는 역할을 수행한다. 또한, EL 소자(203)의 신뢰도는 제 2 패시베이션막(561)을 형성하여 향상될 수 있다.

도 14c에서 도시된 것처럼 구성된 능동 매트릭스형 EL 디스플레이 장치가 완성된다. 상기 장치는 스위칭 TAFT(201), EL 구동 TAFT(202), 구동 회로 n-채널형 TAFT(204) 및 구동 회로 p-채널형 TAFT(205)로 구성된다.

실제로, 양호하게는, 상기 장치는 도 14c에서 도시된 것과 같은 구조를 완성한 후에 공기에 노출시키지 않도록, 고도로 밀폐된 보호막(적층막, 자외선 경화 수지막, 등) 또는 세라믹 실링과 같은 하우징 재료에 의해 밀폐(봉인)된다.

실시예 9

도 1에 의해 도시된 소스 신호측 구동 회로(102)의 자세한 구조는 본 실시예에서 설명된다. 본 발명에서 사용된 소스 신호측 구동회로의 예의 회로도도 도 15에서 도시된다.

시프트 레지스터(801), 래치(A)(802), 및 래치(B)(803)는 도면에서 도시되는 것처럼 배치된다. 한 그룹의 래치(A)(802) 및 래치(B)(803)는 본 실시예에서 4개의 소스 신호선들(S_a 내지 S_d)에 대응한다는 것을 주목하라. 또한, 신호 전압의 크기의 폭을 변화시키는 레벨 시프터는 본 실시예에서 형성되지 않으나, 그것은 또한 설계자에 의해 적절하게 형성될 수도 있다.

클럭 신호 CLK, CLK의 양극이 변환된 클럭 신호 CLKb, 개시 펄스 SP, 및 구동 방향 변환 신호 SL/R는 도면에서 도시된 배선으로 시프트 레지스터(801)에 대한 각각의 입력이다. 또한, 외부로부터 디지털 데이터 신호 VD는 도면에서 도시된 배선들에 의해 래치(A)(802)에 입력된다. 래치 신호(S_{LAT}) 및 S_{LAT}의 양극이 변환된 신호(S_{LATb})는 도면에서 도시된 배선에 의해 래치(B)(803)에 입력된다.

래치(A)(802)의 상세한 구조에 관하여, 소스 신호선(S_a)와 대응하는 디지털 데이터 신호를 저장하는 일부의 래치(A)(802)의 예가 설명된다. 래치(A)(802)의 일부분인, 804는 두 개의 클럭 변환기와 두 개의 변환기를 구비한다.

래치(A)(802)의 일부분(804)의 평면도는 도 16에서 도시된다. 참조 번호(831a, 831b)는 804의 하나의 변환기, 래치부(A)(802)를 형성하는 TAFT의 능동층을 표시하고, 참조 번호 836는 하나의 변환기를 형성하는 TAFT의 공통 게이트 전극을 표시한다. 또한, 참조 번호(832a, 832b)는 각각 804의 하나의 변환기를 형성하는 또다른 TAFT의 능동층, 래치부(A)(802)를 표시하고, 참조 번호(837a, 837b)는 능동층(832a, 832b)상에 형성된 게이트 전극들을 각각 표시한다. 게이트 전극들(837a, 837b)는 전기적으로 접속된다.

참조 번호들(833a, 833b)은 각각 804의 하나의 클럭 변환기, 래치부(A)(802)를 형성하는 TAFT의 능동층을 표시한다. 게이트 전극(838a, 838b)은 능동층(833a)상에 형성되고, 이중 게이트 구조가 된다. 또한 게이트 전극들(838b, 839)은 능동층(833b)상에 형성되고, 이중 게이트 구조가 된다.

참조 번호들(834, 834b)은 각각 (804)의 또다른 클럭 변환기, 일부의 래치(A)(802)를 형성하는 TAFT의 능동층을 표시한다. 게이트 전극(839, 840)은 능동층(834a)상에 형성되고, 이중게이트 구조가 된다. 또한 게이트 전극(840, 841)은 능동층(834b)상에 형성되고, 이중 게이트 구조가 된다.

실시예 10

본 발명의 EL 디스플레이내의 EL 소자의 EL층에 사용된 재료는 유기 EL 재료에 제한되지 않고, 본 발명은 무기 EL 재료를 사용하여 실시될 수 있다. 그러나, 본 무기 EL 재료는 매우 높은 구동 전압을 가지므로, 고전압에 견딜 수 있는 전압 저항 특성을 갖는 TFTs가 사용되어야 한다.

대안적으로, 낮은 구동 전압을 갖는 무기 EL 재료가 장래에 개발되면, 본 발명에 대한 재료를 적용하는 것이 가능하다.

또한, 임의의 실시예 1 내지 9의 구성을 이러한 실시예의 구성과 자유롭게 결합하는 것이 가능하다.

실시예 11

본 발명에서, EL 층으로 사용된 유기 재료는 저분자 유기 재료 또는 폴리머(고분자) 유기 재료가 될 수 있다. 저분자 유기 재료로서, 재료들은 Alq₃(트라이스-8-퀴놀리라이트-알루미늄), TPD(트라이페닐라민 유도체) 등에 공지된 센터(centering on)한다. 폴리머 유기 재료로서, 공동 폴리머 재료들이 주어질 수 있다. 전형적으로, PPV(폴리페닐렌비닐렌), PVK(폴리비닐카바졸), 폴리카보네이트 등이 주어질 수 있다.

폴리머(고분자) 유기 재료는 스핀 코팅 방법(용액 적용 방법으로 언급됨), 담금 방법, 분배 방법, 프린팅 방법, 잉크젯 방법 등과 같은 단일 박막 형성 방법으로 형성될 수 있다. 폴리머 유기 재료는 저분자 유기 재료와 비교하여 고열 내성을 갖는다.

또한, 본 발명에 따른 EL 디스플레이내의 결합된 EL 소자에 통합된 EL층이 전자 수송층 및 양의 정공 수송층을 갖는 경우에, 전자 수송층과 양의 정공 수송층은, 예시된 바와 같이, 비결정 Si 또는 비결정 Si_{1-x}C_x등으로 형성된 비결정 반도체와 같은 무기 재료로 형성될 수 있다.

비결정 반도체의 경우에, 많은 양의 트랩(trap) 레벨이 존재하며, 동시에, 비결정 반도체는 비결정 반도체가 다른 층과 접촉하는 인터페이스에 많은 양의 인터페이스 레벨을 형성한다. 결과적으로, EL 소자는 저전압에서 광을 방사할 수 있고, 동시에, 시도(attempt)는 높은 발광을 공급하도록 만들어질 수 있다.

또한, 도펀트(불순물)는 유기 EL 층에 첨가되고, 유기 EL 층의 발광의 색은 변할 수 있다. 이러한 도펀트는 DCM1, 나일 레드, 루브렌(lubren), 카우마린 6(coumarin 6), TPB 및 키나칼리돈(quinacridon)을 포함한다.

실시예 12

본 발명의 EL 디스플레이는 도 21a 및 21b를 참조하여 실시예 12에서 설명된다. 도 21a는 TFT 기판상에 형성된 EL 소자의 실링이 완료된 장치의 개시를 도시하는 평면도이다. 점선으로 표시된, 참조 번호 6801는 소스 신호선 구동 회로를 표시하고, 6802a는 기록 게이트 신호선 구동 회로를 표시하고, 6802b는 소거 게이트 신호선 구동 회로를 표시하고, 6803은 픽셀부를 표시한다. 또한, 참조 번호 6804는 커버 부재를 표시하고, 6805는 제 1 실링 부재를 표시하고, 6806은 제 2 실링 부재를 표시한다. 필터(6807)(도 21b를 참조)는 제 1 밀폐 부재 6805에 의해 둘러싸이고 커버 부재와 TFT 기판사이의, 밀폐된 기판안쪽에 형성된, 공간내에 채워진다.

소스 신호선 구동 회로(6801), 기록 게이트 신호선 구동 회로(6802a), 소거 게이트 신호선 구동 회로(6802b), 및 픽셀부(6803)는 참조 번호 6808에 의해 표시된다. 접속 배선(6808)은 비디오 신호를

수신하고, FPC(폴라시볼 프린트 회로)(6809)로부터 클럭 신호는 외부 장비에 단자를 접속하여 서브한다.

A-A' 라인을 따라 취해진 단면과 대응하는 단면도는 도 21b에서 도시된다. 도 21a 및 21b에서, 동일한 참조 번호들은 동일한 성분을 도시하는데 사용된다.

도 21b에 도시된 바와 같이, 픽셀부(6803) 및 소스 신호선 구동 회로(6801)는 기판(6800)상에 형성된다. 픽셀부(6803)는 EL 소자(이후에 EL 구동 TFT로 언급됨)에 흐르는 전류를 제어하는 TFT(6851)와 TFT(6851)의 드레인에 전기적으로 접속된 픽셀 전극(6852)을 각각 포함하는 다수의 픽셀들로 구성된다. 실시예 12에서, EL 구동 TFT(6851)는 P 채널 TFT에 형성된다. 또한, 소스 신호선 구동 회로(6801)는 N 채널 TFT(6853) 및 P 채널 TFT(6854)가 보편적으로 결합되는 CMOS 회로를 사용하여 형성된다.

각각의 픽셀들은 픽셀 전극하에 컬러 필터(R)(6855), 컬러 필터(G)(6856), 및 컬러 필터(B)(도시되지 않음)를 갖는다. 컬러 필터(R)는 적색 광을 추출하는 컬러 필터이고, 컬러 필터(G)는 녹색 광을 추출하는 컬러 필터이며, 컬러 필터(B)는 청색 광을 추출하는 컬러 필터이다. 컬러 필터(R)(6855), 컬러 필터(G)(6856), 및 컬러 필터(B)는 적색 발광 픽셀, 녹색 발광 픽셀, 및 청색 발광 픽셀에, 각각 구비된다.

먼저, 방사된 광의 컬러의 컬러 순도를 개선하는 것은 이러한 컬러 필터들을 구비하는 경우에 효과적으로 언급될 수 있다. 예를 들어, 적색 광은 적색 발광 픽셀(광은 실시예 12에서 픽셀 전극측 방향으로 조사됨)이 있는 EL 소자로부터 조사된다. 이러한 적색 광의 컬러 순도는 이러한 적색 광이 적색 광을 추출하는 컬러 필터를 통과하도록 허용하여 개선될 수 있다. 컬러 필터에 의한 컬러 순도의 이러한 개선은 다른 녹색 및 청색 광에 동일하게 적용될 수 있다.

컬러 필터를 구비하지 않은 종래의 구조에서, EL 디스플레이 외부로부터 침투하는 가시 광선은 EL 소자의 발광층을 여기시키므로, 원하는 컬러가 얻어질 수 없는 문제가 발생한다. 그러나, 실시예 12와 같이 컬러 필터를 구비함으로써, 특정 파장의 광만 EL 소자에 들어간다. 바꾸어 말하면, EL 소자를 여기하는 외부광의 약점은 방지될 수 있다.

백색을 발광하는 EL 소자를 제외한 과거는 상기 구조에서 사용된 EL 소자이기 때문에, 상기 구조에서 컬러 필터를 공급하는 제한이 되는 것을 주목하라. 또다른 파장의 광은 이러한 경우에 적색 광을 추출하기 위해 잘리어, 휘도에 있어서 감소를 초래한다. 그럼에도 불구하고, 예를 들어, EL 소자로부터 방사된 적색 광이 실시예 12에서 적색 광을 추출하는 컬러 필터를 통과하는 것을 유발하기 때문에, 휘도에 있어서 감소가 없다.

다음에, 픽셀 전극(6852)은 투명 전도막으로 형성되고, EL 소자의 애노드로서 작용한다. 절연막(6857)은 각각 픽셀 전극(6852)의 첨단에 각각 형성되어 적색 광을 방사하는 발광층(6858) 및 녹색 광을 방사하는 발광층(6859)을 형성한다. 도면에서 도시되지 않은 청색 광을 방사하는 발광층이 인접한 픽셀에 구비되는 것이 주목되어야 한다. 이와 같이, 컬러 디스플레이는 적색, 녹색, 및 청색과 대응하는 픽셀에 의해 실행된다. 청색을 추출하는 컬러 필터는 물론, 청색을 방사하는 발광층이 형성된 픽셀에 구비된다.

유기 재료뿐만 아니라 무기 재료도 발광층(6858, 6859)의 재료로 사용될 수 있다는 것을 주목하라. 여기에서 도시된 구조가 발광층으로 구성되지만, 발광층은 전자 주입층, 전자 수송층, 정공 수송층, 또는 정공 주입층과 결합된 적층구조일 수도 있다는 것을 주목하라.

광 블로킹 특성을 갖는 전도막으로 만들어진 EL 소자의 캐소드(6860)는 각각의 발광층들의 첨단에 형성된다. 캐소드(6860)는 모든 픽셀에 의해 분배된 공통 배선으로 작용하며, 접속 배선(6808)을 거쳐 FPC(6809)에 전기적으로 접속된다.

다음에, 제 1 실링 부재(6805)는 디스펜서 등을 사용하여 형성되고, 스페이서(도시되지 않음)는 제 1 실링 부재를 커버 부재(6804)에 접착시키기 위해 뿌린다. 필터(6807)는 TFT 기판, 커버 부재(6804), 및 진공 주입에 의해 제 1 실링 부재(6805)로 둘러싸인 공간에 채워진다.

실시예 12에서, 습기 흡수 재료(6861)로서 바륨 산화물은 미리 필터(6807)로 첨가된다. 습기 흡수 재료가 실시예 12에 사용된 필터로 첨가되지만, 필터내에 크게 분산되고 밀폐될 수 있다. 또한, 도면에서 도시되지 않은 스페이서의 재료로서 습기 흡수 재료를 사용하는 것이 가능하다.

자외선 방사 또는 열을 갖는 필터(6807)를 치료한 후에, 제 1 실링 부재(6805)에서 형성된 개구부(도시되지 않음)는 봉인된다. 제 1 실링 부재(6805)의 개구부를 봉인할 때, 접속 배선(6808) 및 FPC(6809)은 전도 재료(6862)를 사용하여 전기적으로 접속된다. 제 2 실링 부재(6806)는 제 1 실링 부재(6805)측(노출면)과 일부의 FPC(6809)를 덮도록 배치된다. 제 2 실링 부재(6806)는 제 1 실링 부재(6805)와 같은 재료로 형성될 수 있다.

상술된 방법을 사용하여 필터(6807)내의 EL 소자를 실링함으로써, EL 소자는 외부 환경으로부터 완벽하게 컷 오프되고, 습기 및 산소와 같은 유기 재료의 산화 열화를 가속시키는 물질에 의한 외부로부터 침입은 방지될 수 있다. 따라서, 높은 신뢰도를 갖는 EL 디스플레이 장치가 제조될 수 있다.

현존하는 액정 디스플레이 장치의 생산 라인이 본 발명을 사용하여 리디렉트(redirect)될 수 있기 때문에, 유지 투자의 비용의 약간의 감소가 가능하다. 다수의 발광 장치들은 높은 수율의 공정을 통해 한 조각의 기판으로 제작될 수 있고, 제조 비용에서 실질적으로 감소를 유발한다.

실시예 13

EL 소자로부터 방사된 광의 방사 방향과 실시예 12에서 도시된 EL 디스플레이에서 컬러 필터의 배치가 다른 경우의 예는 실시예 13에서 도시된다. 설명이 도 22를 참조하여 설명되지만, 기본 구조는 도 21b의 것과 동일하고, 공통의 참조 번호들이 사용되지만, 변경된 소자들만이 새로운 참조 번호에 의해 표시되고 설명된다.

실시예 13에서, N 채널 TFT는 픽셀부(6901)에서 EL 구동 회로(6902)로 사용된다. 광 블로킹 특성을 갖는 도전막으로 형성된 픽셀 전극(6903)은 EL 구동 회로(6902)의 드레인에 전기적으로 접속된다. 픽셀 전극

(6903)은 실시예 13에서 EL 소자의 캐소드로서 서브한다.

투명 전도막(6904)은 적색 광을 방사하는 발광층(6858), 녹색광을 방사하는 발광층(6859)상에 형성되고, 본 발명을 사용하여 형성된다. 투명 전도막(6904)은 EL 소자의 애노드로서 서브한다.

또한, 실시예 13의 특징은 컬러 필터(R)(6905), 컬러 필터(G)(6906), 및 컬러 필터(B)(도시되지 않음)가 커버 재료(6804)상에 형성되는 것이다. 실시예 13의 EL 소자의 구조를 채용하는 경우에, 발광층으로부터 방사된 광은 커버 부재측 방향에 있다. 그러므로, 도 22의 구조를 채용하여, 컬러 필터들은 광의 진로 장소에 설치될 수 있다.

TFT 기판의 제조 단계는 실시예 13에서처럼 커버 부재(6804)상에 컬러 필터(R)(6905), 컬러 필터(G)(6906), 및 컬러 필터(B)(도시되지 않음)를 구비하여 감소될 수 있다. 따라서, 수율 및 처리량의 향상과 같은 장점이 성취될 수 있다.

실시예 14

전자 디스플레이 장치는, 특히 본 발명을 실행하여 형성된 EL 디스플레이 장치, 많은 종류의 전자 장비들로 사용될 수 있다. 구성 부품으로서 본 발명의 전자 디스플레이를 포함하는 전자 장비는 하기에 기술된다.

상기 전자 장비로서, 전자 장비는 비디오 카메라, 디지털 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 게임기, 자동차 항법기, 개인용 컴퓨터, 휴대용 정보 단말기(이동용 컴퓨터, 이동 전화, 전자 서적, 등)를 포함한다. 상기 전자 장비의 예는 도 17에서 도시된다.

도 17a는 주요부(2001), 케이스(2002), 디스플레이부(2003), 및 키보드(2004)를 포함하는 개인용 컴퓨터를 도시한다. 본 발명의 EL 디스플레이는 개인용 컴퓨터의 디스플레이부(2003)에 사용될 수 있다.

도 17b는 주요부(2101), 디스플레이부(2102), 음성 입력부(2103), 동작 스위치(2104), 배터리(2105), 및 이미지 수신부(2106)을 포함하는 비디오 카메라를 도시한다. 본 발명은 디스플레이 장치(2102)로 사용된다.

도 17c는 주요부(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 디스플레이 모니터(2304), 광학 시스템(2305), 및 디스플레이 장치(2306)를 포함하는 일부의 헤드 장착용 EL 디스플레이(우측)를 도시한다. 본 발명의 EL 디스플레이(2306)는 EL 디스플레이 장치의 디스플레이부로 사용될 수 있다.

도 17d는 주요부(2401), 기록 매체(2402(CD, LD, DVD, 등), 동작 스위치(2403), 디스플레이부(a)(2404), 및 디스플레이부(b)(2405)를 포함하는, 기록 매체에 제공된 영상 재생기(특히, DVD 재생 플레이어)를 도시한다. 디스플레이부(a)는 주로 영상 정보를 디스플레이하고, 디스플레이부(b)는 주로 문자 정보를 디스플레이 한다. 본 발명의 디스플레이부(a, b)는 기록 매체에 제공된 영상 재생기에 구비된 디스플레이부로 사용될 수 있다. 본 발명은 기록 매체에 제공된 영상 재생기로서 CD 플레이어 또는 게임기에 적용가능하다.

도 17e는 주요부(2501), 카메라(2502), 이미지 수신부(2503), 동작 스위치(2504), 및 디스플레이부(2505)를 포함하는 휴대용(이동용) 컴퓨터를 도시한다. 본 발명의 디스플레이부는 이동용 컴퓨터의 디스플레이부(2505)로 사용될 수 있다.

EL 재료의 발광 휘도가 앞으로 향상되면, 본 발명은 정면 또는 후위형 프로젝터에 적용가능할 것이다.

상술된바와 같이, 본 발명은 아주 넓은 응용 범위를 가지고, 모든 분야의 전자 장비에 적용가능하다. 본 실시예의 전자 장비는 실시예 1 내지 13의 자유롭게 결합하여 임의의 구조를 사용하는 것에 의해 이해될 수 있다.

실시예 15

본 발명의 구조를 구비한 EL 디스플레이의 상단 표면으로부터 얻어진 영상은 도 23에 도시된다. 구체적인 실시 장비는 하기에 설명된다.

EL 디스플레이는 4 인치의 대각선 크기를 갖는 픽셀부로 구성되고, 픽셀부의 픽셀수는 640 x 480(VGA)이고, 흑백 디스플레이, EL 소자의 캐소드와 애노드사이의 최대 전압은 6V이고, 개구비는 48%이고, 소스 신호선 구동 회로의 구동 주파수는 6.25MHz이고, 게이트 신호선 구동 회로의 구동 전압 신호는 10V이다.

EL 디스플레이는 63 등급을 디스플레이할 수 있는 6비트 디지털 데이터 신호와 대응한다. 이와 같이, 1 프레임에서 디스플레이 기간들의 총 합계 비(듀티 비)는 63.0%이다.

본 발명의 구조는 상술된 장비에 제한되지 않는다. 또한, 본 실시예는 본 명세서에서 모든 다른 실시예와 자유롭게 결합될 수 있다.

실시예 16

실시예 16에서, 설명은 (n) 비트 디지털 데이터 신호와 대응하는 본 발명의 구동 방법에 있어서 디스플레이 기간(T_{r1} 내지 T_{rn})의 출현에 상관없이 설명될 것이다.

실시예 16의 구동방법의 타이밍 차트가 도 24에서 도시된다. 실시예 형식은 픽셀들의 구동 방법에 관해 자세히 참조된다. 실시예 16의 구동방법에서, T_{d1} 인 1 프레임 기간내의 가장 긴 비-디스플레이 기간은 1 프레임 기간의 말단에 위치한다. 상기 구조를 구비하여, 비-디스플레이 기간(T_{d1})과 다음 디스플레이 기간($T_{r(n)}$)사이의 기간(실시예 16에서 $T_{r(n)}$): 본 발명은 이것에 제한되지 않으나, T_{r1} 보다 임의의 기간일 수도 있음)은 프레임의 중단이 있는 것처럼 사람의 눈에 반영될 것이다. 따라서, 중간 디스플레이를 실행할 때, 인접한 프레임 기간들내의 인접한 디스플레이 기간들에 의해 야기된 불규칙한 디스플레이는 정정될 수 있고, 사람의 눈으로 인식되지 않는다.

실시예 16가 모든 다른 실시예들의 구성과 자유롭게 결합될 수 있다.

실시에 17

본 발명을 실시할 때, 픽셀부의 효과적인 구동 방법은 도 25a 및 25b를 참조하여 실시예 17에서 설명될 것이다.

도 25a에 도시된 실시예 17의 EL 디스플레이의 픽셀부는 두 개의 픽셀부, 픽셀부(a)(2501)와 픽셀부(b)(2502)로 나누어진다. 소스 신호선 구동 회로(a)(2503), 기록 게이트 신호선 구동 회로(a)(2504), 및 소거 게이트 신호선 구동 회로(a)(2505)는 그 후에 구동되고, 영상의 반이 픽셀부(a)(2501)에 디스플레이된다. 또한, 소스 신호선 구동 회로(b)(2506), 기록 게이트 신호선 구동 회로(b)(2507), 및 소거 게이트 신호선 구동 회로(b)(2508)가 구동되고, 이미지의 나머지 반이 픽셀부(b)(2505)에 디스플레이된다.

픽셀부(a)(2501)에서 디스플레이되는 이미지의 반과 픽셀부(b)(2502)에서 디스플레이된 이미지의 나머지 반은 결합되어 하나의 이미지를 형성한다.

도 25b에서 도시된 EL 디스플레이에서, 소스 신호선 구동 회로(A)(2513)로부터 디지털 데이터 신호는 홀수 소스선에 제공되고, 소스 신호선 구동회로(B)(2514)로부터 디지털 데이터 신호는 짝수 소스선에 제공된다.

기록 게이트 신호선 구동 회로(A)(2515)는 동시에 2개의 기록 게이트 신호선 구동 회로를 선택하여, 디지털 데이터 신호들을 입력하고, 동시에 홀수 및 짝수 소스선들, 픽셀들에 제공한다. 더 자세하게는, 디지털 데이터 신호들은 픽셀들의 스위칭 TFT를 거쳐 EL 구동 TFT의 게이트 전극에 제공된다.

소거 게이트 신호선 구동 회로(A)(2516)는 동시에 2개의 소거 게이트 신호선 구동 회로를 선택하여, 전력 공급선의 전력 공급 전위를 픽셀들에 입력한다. 더 자세하게는, 전력 공급 전위는 픽셀들의 소거 TFT를 거쳐 EL 구동 TFT의 게이트 전극에 분배된다.

따라서, 이미지는 상기 구조에 의해 픽셀부(2511)에서 형성된다. 실시예 17는 모든 다른 실시예들의 구성과 자유롭게 결합될 수 있다.

실시에 18

실시예 18에서, 설명은 어떤 종류의 전압-전류 특성이 본 발명의 EL 디스플레이의 구동 방법을 사용하는 경우에서 EL 구동 TFT를 구동하는 법에 대해 설명할 것이다.

EL 소자에 인가된 전압에서 약간의 변화가 있다면, EL 소자에 흐르는 전류는 전압의 약간의 변화에 대해 지수적으로 많이 변화된다. 다른 관점에서 보면, EL 소자에 흐르는 전류의 양이 변할지라도, EL 소자에 인가된 전압값은 많이 변하지 않는다. EL 소자의 발광은 EL 소자에 흐르는 전류에 거의 직접적으로 비례하여 증가한다. 그러므로, EL 소자에 인가된 전압의 크기(전압값)를 조절하는 것보다 EL 소자에 흐르는 전류의 크기(전류값)를 조절하여 EL 소자의 발광을 제어하는 것이 더 낫고, TFT의 특성에 의해 영향을 받지 않고 EL 소자의 발광을 더 쉽게 조절한다.

도 26a 및 26b가 참조된다. 도 26a는 도 3에서 도시된 본 발명의 EL 디스플레이의 픽셀내의 EL 소자(110)와 EL 구동 TFT(108)의 구성부만을 도시한다. 도 26b는 도 26a에서 도시된 EL 소자(110)와 EL 구동 TFT(108)의 전압-전류 특성을 도시하는 그래프이다. 도 26b에서 EL 구동 TFT(108)의 전압-전류 특성의 그래프가 소스 영역과 드레인 영역 사이의 전압인, V_{DS} 에 대한 EL 구동 TFT(108)의 드레인에 흐르는 전류의 크기를 도시하는 것이 주목되어야 한다. EL 구동 TFT(108)의 소스 영역과 게이트 영역간의 전압인 V_{GS} 의 다른 값을 도시하는 다수의 그래프들이 도 26b에 도시된다.

도 26a에 도시된 바와같이, EL 소자(110)의 픽셀 전극과 대향 전극(111)사이에 인가된 전압은 V_E 로 표시되고, EL 소자(110)의 전력 공급선과 대향 전극(111)에 접속된 단자(2601)사이에 인가된 전압은 V_T 로 표시된다. V_T 의 값이 전력 공급선의 전위에 의해 고정되는 것을 주목하라. 또한, EL 구동 TFT(108)의 소스 영역과 드레인 영역간의 전압은 V_{DS} 로 표시되고, EL 구동 TFT(108)의 게이트 전극에 접속된 접속 배선(2602)과 소스 영역간의 전압, 즉, EL 구동 TFT(108)의 게이트 전극과 소스 영역간의 전압은 V_{GS} 로 표시된다.

EL 구동 TFT(108)는 N 채널 TFT 또는 P 채널 TFT로 형성된다.

EL 구동 TFT(108) 및 EL 소자(110)는 직렬로 접속되고, 그러므로 양쪽 소자에 흐르는 전류값(EL 구동 TFT(108) 및 EL 소자(110))은 동일하다. 따라서, 도 26a에서 도시된 EL 구동 TFT(108) 및 EL 소자(110)는 양쪽 소자의 전압-전류 특성을 도시하는 그래프의 교차점(동작점)에서 구동한다. 도 26b에서, V_E 은 대향 전극(111)의 전위와 동작점에서 전위사이의 전압이 되고, V_{DS} 는 EL 구동 TFT(108)의 단자(2601)의 전위와 동작점에서 전위간의 전압이 된다. 바꾸어 말하면, V_T 는 V_E 과 V_{DS} 의 합과 같다.

여기에서, V_{GS} 가 변화되는 경우가 가정된다. 도 26에서 명확한 것처럼, EL 구동 TFT(108)에 흐르는 전류값은 EL 구동 TFT(108)의 $|V_{GS} - V_{TH}|$ 가 증가함에 따라 증가하고, 바꾸어 말하면, $|V_{GS}|$ 가 증가함에 따라 증가한다. V_{TH} 가 EL 구동 TFT(108)의 임계 전압인 것이 주목되어야 한다. 따라서, EL 소자(110)의 발광은 EL 소자(110)에 흐르는 전류값에 비례하여 증가한다.

EL 소자(110)에 흐르는 전류값이 $|V_{GS}|$ 의 증가에 기인하여 증가할 때, V_E 의 값이 전류값에 응답하여 또한 증가한다. V_T 의 크기는 전력 공급선의 전위에 의해 결정되므로, V_E 이 증가함에 따라, V_{DS} 가 많이 감소한다.

또한, 도 26b에서 도시된 바와 같이, EL 구동 TFT(108)의 전압-전류 특성은 V_{GS} 의 값과 V_{DS} 의 값에 의해 2개의 영역으로 분할된다. $|V_{GS} - V_{TH}| < |V_{DS}|$ 에 의해 지시된 영역은 포화영역이고, $|V_{GS} - V_{TH}| > |V_{DS}|$ 에 의해 지시된 영역은 선형 영역이다.

다음 방정식은 포화 영역을 정의한다. EL 구동 TFT(108)의 채널 형성 영역에 흐르는 전류값은 I_{DS} 로 주어지는 것을 주목하라. 방정식 $\beta = \mu C_0 W/L$ 에서, μ 는 EL 구동 TFT(108)의 이동도이고, C_0 는 단위 면적당 게이트 정전 용량이고, W/L 는 채널 폭(W)의 비이고, 채널 형성 영역의 채널 길이(L)이다.

$$[\text{방정식 1}]: I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

다음 방정식 2는 선형 영역을 정의한다.

$$[\text{방정식 2}]: I_{DS} = \beta \{ (V_{GS} - V_{TH})V_{DS} - V_{DS}^2 / 2 \}$$

포화 영역에서, V_{DS} 에 기인한 전류값의 변화는 거의 없으므로, 전류값은 방정식 1로부터 명확한 것처럼 V_{GS} 에 의해서만 결정된다.

반면에, 선형 영역에서, 방정식 2로부터 명확한 것처럼, 전류값은 V_{DS} 및 V_{GS} 에 의해 결정된다. EL 소자(108)는 $|V_{GS}|$ 가 증가할 때, 선형 영역에서 동작을 개시할 것이고, V_{EL} 은 또한 점차 증가한다. 따라서, V_{EL} 이 증가하는 한, V_{DS} 는 많이 작아진다. 선형 영역에서, V_{DS} 가 더 작아짐에 따라 전류의 양은 더 작아진다. 그러므로, $|V_{GS}|$ 가 증가할지라도, 전류값이 증가하는 것은 어렵다. $|V_{GS}| = \infty$ 인 지점에서, 전류값은 전류값 = I_{MAX} 가 되고, 즉, $|V_{GS}|$ 가 증가할지라도, I_{MAX} 의 전류는 더 이상 흐르지 않을 것이다. $V_{EL} = V_T$ 일 때, I_{MAX} 는 EL 소자(110)에 흐르는 전류값에 적용된다.

이와 같이, 동작 점은 $|V_{GS}|$ 의 크기를 제어하여 포화 영역 또는 선형 영역에서 생성될 수 있다.

이상적으로, 모든 EL 구동 TFTs의 특성은 동일한 것이 바람직하나, 실제로 개개의 EL 구동 TFTs의 임계값 V_{TH} 과 이동도 μ 는 다른 경우가 많다. 따라서, 개개의 EL 구동 TFTs의 임계값 V_{TH} 과 이동도 μ 가 서로 다르면, 방정식 1 및 방정식 2에서 명확한 것처럼, EL 구동 TFT(108)의 채널 형성 영역에 흐르는 전류값은 V_{GS} 의 값이 동일할지라도 같지 않을 것이다.

도 27는 임계값 V_{TH} 과 이동도 μ 를 이동하는 경우에 EL 구동 TFT의 전류-전압 특성을 도시하는 그래프이다. 이상적인 전류-전압 특성 그래프인 굵은(solid) 선은 참조 번호(2701)에 의해 표시되고, 참조 번호(2702, 2703)는 이상적인 임계값 V_{TH} 과 이동도 μ 를 표시하고, 임계값 V_{TH} 과 이동도 μ 의 값이 다른 경우에, 각각, EL 구동 TFT의 전류-전압 특성의 이상적인 값을 표시한다. 포화 영역에서 전류 전압 특성의 그래프(2702, 2703)는 등가 전류값 ΔI_1 에 의해서만 이상적인 특성을 갖는 전류-전압 특성의 그래프(2701)로부터 이동된다. 전류-전압 특성의 그래프(2702)의 동작점(2705)은 포화영역에 있고, 전류-전압 특성의 그래프(2703)의 동작점(2706)은 선형영역에 있는 것이 가정된다. 이러한 경우에, 동작점에서 이상적인 특성 및 오프셋 전류값을 갖는 전류-전압 특성의 그래프(2701)의 동작점(2704)에서 전류값이 ΔI_2 및 ΔI_3 이라면, 각각, 선형 영역내의 동작점(2706)은 포화 영역내의 동작점(2705)보다 더 작다.

그러므로, 본 발명에서 도시된 디지털 시스템의 구동 방법을 사용하는 경우에, 동작점이 선형 영역내에 존재하도록 EL 구동 TFT와 EL 소자를 구동하여, EL 구동 TFT 특성의 변화에 의해 야기된 EL 소자의 출수 발광이 억제되는 그레이 스케일 디스플레이가 실행된다.

또한, 종래의 아날로그 구동 장치의 경우에, EL 구동 TFT와 EL 소자는 동작점이 전류값이 $|V_{GS}|$ 에 의해서만 제어될 수 있는 포화 영역에 존재하도록 구동되는 것이 바람직하다.

상술된 동작을 분석한 결론으로써, EL 구동 TFT의 게이트 전압 $|V_{GS}|$ 에 대한 전류값의 그래프가 도 28에 도시된다. EL 구동 TFT의 임계 전압의 절대값 $|V_{TH}|$ 을 초과할 때, $|V_{GS}|$ 는 증가하고, EL 구동 TFT는 전도상태로 바뀌어 전류의 흐름이 개시된다. 이때, $|V_{GS}|$ 는 본 명세서에서 라이트닝-업(lightning-up) 개시 전압으로서 언급된다. 그후에, $|V_{GS}|$ 가 더 증가할 때, $|V_{GS} - V_{TH}| = |V_{GS}|$ 를 만족하는 값(여기에서, A일사적이다)이 되므로, 포화 영역(2801)로부터 선형 영역(2802)까지 이동한다. $|V_{GS}|$ 가 여전히 더 증가 할 때, 전류값은 더 커지며, 마침내 포화된다. 이 지점에서, $|V_{GS}| = \infty$ 이다.

도 28에서 명확한 것처럼, $|V_{GS}| \leq |V_{TH}|$ 영역에서 흐르는 전류는 거의 없다.

$|V_{GS}| \leq |V_{TH}| \leq A$ 인 영역은 전류값이 $|V_{GS}|$ 에 기인하여 변화하는 포화 영역이다. 또한, $A \leq |V_{GS}|$ 인 영역은 EL 소자에 흐르는 전류 값이 $|V_{GS}|$ 및 $|V_{GS}|$ 에 기인하여 변화되는 선형 영역이다.

본 발명의 디지털 구동 장치에 있어서, $|V_{GS}| \leq |V_{TH}|$ 의 영역과 $A \leq |V_{GS}|$ 의 선형 영역을 사용하는 것이 바람직하다.

실시예 18는 모든 다른 실시예의 구성과 자유롭게 결합될 수 있다.

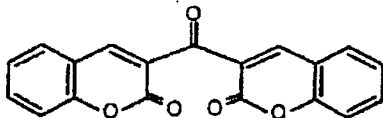
실시예 19

본 실시예에서, 외부 발광 양자 효율은 삼중항여기자(triple excision)로부터 발광까지 인을 사용할 수 있는 EL 재료들을 사용하여 크게 상승될 수 있다. 이와 같이, 저전력 소비, EL 소자의 긴 수명과 광의 양을 이해되는 것이 가능하다.

여기에서, 삼중항여기자(triple excision)를 사용하여 외부의 발광 양자 효율을 상승하게 하는 것의 보고는 Tsutsui, T., Adachi, C., Saito, S., " 유기 분자 시스템에서 광화학 공정", Elsevier Sci. Pub., Tokyo, 1991, p. 437에서 기술된다. EL 재료의 분자식 1(코마린(coumarin) 도색 재료)은 첨부 문서에 도

시되고, 상술된 논문에서 보고된다.

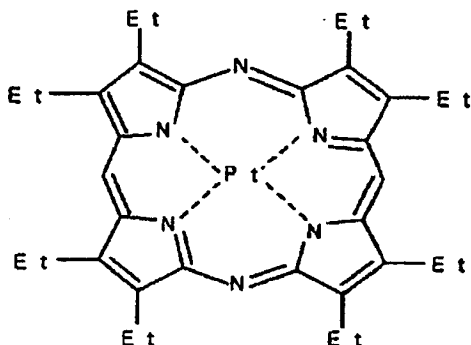
[식 1]



Baldo, M. A., O'Brien, D. F., You, Y., Shoustikov, A., Sibley, S., Thompson, M.E., Forrest, R., Nature 395, 1995, p. 151.

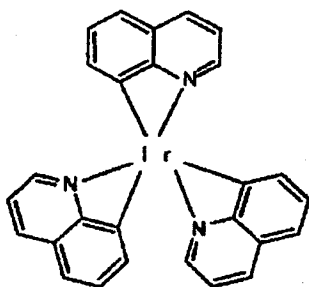
분자식 2(Pt 복합체)은 상술된 논문에서 보고된 첨부 문서에 도시된다.

[식 2]



Baldo, M. A., Lamansky, S., Burrows, P.E., Thompson, M.E., Forrest, S.R., Appl. Phys. Lett., 75, 1995, P.4. Tsutsui, T., Yang, M.J., Yahiro, M., Nkamura, K., Watanabe, T., Tsuji, T., Fukuda, T., Wakimoto, T., Mayaguchi, S., Jpn. Appl. Phys., 28(12b), 1999, L1502. 분자식(Ir 복합체)는 첨부 문서에 도시되고, 상술된 논문에서 보고된다.

[식 3]



상술된 바와 같이, 삼중항여기자(triple excitation)로부터 인광 발광이 사용되면, 근본적으로, 일중항여기자(single excitation)로부터 형광 발광만큼 높게 3회 내지 4회 외부 광 방사 양자 효율은 실행되는 것이 가능할 것이다.

본 실시예의 구조는 임의의 구조의 실시예 1 내지 18과 자유롭게 결합하여 실행될 수 있다.

상기 구조를 채용함으로써, TFTs에 의해 야기된 $I_{DS} - V_{DS}$ 특성이 조금 변할지라도 등가 전압이 공급될 때, 본 발명은 출력된 전류 흐름의 양의 변화를 억제가능하다. 결과적으로, 등가 전압을 갖는 신호들이 제공될 지라도, $I_{DS} - V_{DS}$ 특성의 변화에 의해 야기된 인접한 픽셀의 발광과 EL 소자의 발광의 양사이의 많은 차가 발생하는 상황은 피할 수 있다.

또한, 디스플레이를 실행하지 않는 비-발광 기간들은 본 발명에서 제공될 수 있다. 종래의 아날로그 구동 장치의 경우, EL 디스플레이가 모든 백색 이미지들을 디스플레이한다면, EL 소자는 일정하게 발광하여, 점차 EL층의 열화에 요소가 된다. 비 발광 기간들은 본 발명에서 제공될 수 있으므로, EL 층의 열화의 레벨은 억제될 수 있다.

발명의 효과

비 발광 기간들을 공급하여, EL 층의 열화의 레벨을 억제하는 효과가 있다.

(57) 청구의 범위

청구항 1

전자 장치에 있어서,

소스 신호선 구동회로와,

제 1 게이트 신호선 구동 회로와,

제 2 게이트 신호선 구동 회로와,

다수의 픽셀들을 포함하는 픽셀부를 포함하고,

상기 다수의 픽셀들 각각은 EL 소자, 각각의 상기 EL 소자들의 발광을 제어하는 EL 구동 TFT, 스위칭 TFT, 및 상기 EL 구동 TFT를 제어하는 소거 TFT를 구비하고,

상기 스위칭 TFT는 상기 제 1 게이트 신호선 구동 회로에 의해 제어되고,

상기 소거 TFT는 상기 제 2 게이트 신호선 구동 회로에 의해 제어되고,

그레이 스케일 디스플레이는 상기 다수의 EL 소자들의 발광 시간을 제어하여 실행되는, 전자 장치.

청구항 2

제 1항에 있어서,

상기 스위칭 TFT, 상기 EL 구동 TFT, 및 상기 소거 TFT는 적어도 하나의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 3

제 1항에 있어서,

상기 전력 공급선의 전위가 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태인, 전자 장치.

청구항 4

제 1항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 5

제 1항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 6

제 1항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 7

전자 장치에 있어서,

다수의 소스 신호선들에 접속되는 소스 신호선 구동 회로와,

다수의 제 1 게이트 신호선들에 접속된 제 1 게이트 신호선 구동 회로와,

다수의 제 2 게이트 신호선들에 접속된 제 2 게이트 신호선 구동 회로와,

다수의 픽셀들을 포함하는 픽셀부와,

전력 공급선을 포함하고,

상기 다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 구비하고,

상기 스위칭 TFT의 게이트 전극은 상기 제 1 게이트 신호선에 접속되고,

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 다수의 소스 신호선들에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 소거 TFT의 게이트 전극은 상기 제 2 게이트 신호선에 접속되고,

상기 소거 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 상기 게이트 전극에 접속되고,

상기 EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 EL 소자에 접속되는, 전자 장치.

청구항 8

제 7항에 있어서,

상기 스위칭 TFT, 상기 EL 구동 TFT, 및 상기 소거 TFT는 적어도 하나의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 9

제 7항에 있어서,

상기 전력 공급선의 전위가 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태가 되는, 전자 장치.

청구항 10

제 7항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 11

제 7항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 12

제 7항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 13

전자 장치에 있어서,

다수의 소스 신호선들에 접속된 소스 신호선 구동 회로와,

다수의 제 1 게이트 신호선들에 접속된 제 1 게이트 신호선 구동 회로와,

다수의 제 2 게이트 신호선들에 접속된 제 2 게이트 신호선 구동 회로와,

다수의 픽셀들을 포함하는 픽셀부와,

일정한 전위로 유지되는 전력 공급선을 포함하고,

상기 다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT와 EL 소자를 구비하고,

상기 EL 소자는 일정한 전위로 유지되는 픽셀 전극, 대향 전극, 및 상기 픽셀과 상기 대향 전극사이에 형성된 EL 층을 포함하고,

상기 스위칭 TFT의 게이트 전극은 상기 제 1 게이트 신호선에 접속되고,

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 다수의 소스 신호선들에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 소거 TFT의 게이트 전극은 상기 제 2 게이트 신호선에 접속되고,

상기 소거 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 소자의 픽셀 전극에 접속되는, 전자 장치.

청구항 14

제 13항에 있어서, 상기 EL 층은 저분자 유기 재료 또는 폴리머 유기 재료인, 전자 장치.

청구항 15

제 14항에 있어서, 상기 저분자 유기 재료는 Alq_3 (트라이스-8-퀴놀리라이트-알루미늄) 또는 TP0(트라이페닐라민 유도체)인, 전자 장치.

청구항 16

제 14항에 있어서,

상기 폴리머 유기 재료는 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카바졸), 또는 폴리카보네이트로 만들어진, 전자 장치.

청구항 17

제 13항에 있어서,

상기 스위칭 TFT, 상기 EL 구동 TFT, 및 상기 소거 TFT는 적어도 하나의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 18

제 13항에 있어서,

상기 전력 공급선의 전위가 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태가 되는, 전자 장치.

청구항 19

제 13항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 20

제 13항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 21

제 13항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 22

전자 장치에 있어서,

소스 신호선 구동회로, 제 1 게이트 신호선 구동회로, 제 2 게이트 신호선 구동 회로, 다수의 픽셀들을 포함하는 픽셀부, 상기 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 상기 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 상기 제 2 게이트 신호선 구동회로에 접속된 다수의 제 2 게이트 신호선들, 및 전력 공급선을 포함하고,

상기 다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 구비하고,

상기 스위칭 TFT의 게이트 전극은 상기 제 1 게이트 신호선들에 접속되고,

스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 다수의 소스 신호선들에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 소거 TFT의 게이트 전극은 제 2 게이트 신호선들에 접속되고,

상기 소거 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 소자에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2 내지 (n)까지의 임의의 정수임)은 1 프레임 기간내에서 공급되고,

상기 소스 신호선 구동 회로로부터 디지털 데이터 신호들은 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 상기 다수의 소스 신호선들을 통해 상기 다수의 픽셀들 모두에 제공되고,

상기 모든 다수의 픽셀들에 제공된 디지털 데이터 신호들은 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 사이에, 일부의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 및 일부의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 각각 중첩되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m-1)$ 의 개시로부터 각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(m-1)$ 이고,

상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시로부터 상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 의 개시까지의 기간들은 비-디스플레이 기간들 $Td_1, Td_2, \dots, Td(m-1)$ 이고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m+1)$ 로부터 각각의 상기 기록 기간들 $Ta(m), Ta(m+1), \dots, Ta(n)$ 의 다음 기록 기간들의 개시까지의 기간들은, 각각, 디스플레이 기간들 $Tr(m), Tr(m+1), \dots, Tr(n)$ 이고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 에서, 상기 다수의 EL 소자들은 발광 또는 비발광하도록 상기 디지털 데이터 신호들에 의해 선택되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 의 길이와 상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 길이는 동일하고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(N-1)}$ 로 표현되는, 전자 장치.

청구항 23

제 22항에 있어서,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 은 서로 중첩되지 않는, 전자 장치.

청구항 24

제 22항에 있어서,

상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하지 않는, 전자 장치.

청구항 25

제 22항에 있어서,

상기 스위칭 TFT, EL 구동 TFT, 및 상기 소거 TFT는 적어도 하나의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 26

제 22항에 있어서,

상기 전력 공급선이 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태가 되는, 전자 장치.

청구항 27

제 22항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 28

제 22항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 29

제 22항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 30

전자 장치에 있어서,

소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 다수의 픽셀부를 포함하는 픽셀부, 상기 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 상기 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 상기 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 일정한 전위로 유지되는 전력 공급선을 포함하고,

상기 다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT 및 EL 소자를 구비하고,

상기 EL 소자는 일정한 전위로 유지되는 픽셀 전극, 대향 전극, 및 상기 픽셀 전극과 상기 대향 전극간에 형성된 EL 층을 포함하고,

상기 스위칭 TFT의 게이트 전극은 상기 제 1 게이트 신호선들에 접속되고,

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 다수의 소스 신호선들에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 소거 TFT의 게이트 전극은 상기 제 2 게이트 신호선들에 접속되고,

상기 소거 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 소자의 픽셀 전극에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2에서 (n)까지의 임의의 정수임)은 1 프레임 기간에서 공급되고,

상기 소스 신호선 구동 회로로부터 디지털 데이터 신호들은 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 상기 다수의 소스 신호선들을 통해 모든 상기 다수의 픽셀들에 제공되고,

상기 다수의 픽셀들에 제공된 상기 디지털 데이터 신호들은 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 사이에, 일부의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 과 일부의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m-1)$ 의 개시로부터 각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(m-1)$ 이고,

각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시로부터 상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 의 개시까지의 기간들은 비-디스플레이 기간들 $Td_1, Td_2, \dots, Td(m-1)$ 이고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m+1)$ 의 개시로부터 각각의 상기 기록 기간들 $Ta(m), Ta(m+1), \dots, Ta(n)$ 의 다음의 기록 기간들의 개시까지의 기간들은, 각각, 디스플레이 기간들 $Tr(m), Tr(m+1), \dots, Tr(n)$ 이고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 에서, 상기 다수의 EL 소자들은 발광 또는 비발광하도록 상기 디지털 데이터 신호들에 의해 선택되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 의 길이와 상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 길이는 동일하고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로 표현되는, 전자 장치

청구항 31

제 30항에 있어서,

상기 EL 층은 저분자 유기 재료 또는 폴리머 유기 재료인, 전자 장치.

청구항 32

제 30항에 있어서,

상기 저분자 유기 재료는 Alq^3 (트라이스-8-퀴놀리라이트-알루미늄) 또는 TP0(트라이페닐라민 유도체)인, 전자 장치.

청구항 33

제 30항에 있어서,

상기 폴리머 유기 재료는 PPV(폴리페닐렌 비닐렌) 또는 PVK(폴리비닐 카바졸), 또는 폴리카보네이트로 만들어진, 전자 장치.

청구항 34

제 30항에 있어서,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 은 서로 중첩되지 않는, 전자 장치.

청구항 35

제 30항에 있어서, 상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩되지 않는, 전자 장치.

청구항 36

제 30항에 있어서,

상기 스위칭 TFT, 상기 EL 구동 TFT, 상기 소거 TFT는 적어도 하나 이상의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 37

제 30항에 있어서,

상기 전력 공급선의 전위가 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태가 되는, 전자 장치.

청구항 38

제 1항 내지 19항의 어느 한 항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 39

제 30항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 40

제 30항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 41

전자 장치는, 소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 다수의 픽셀들을 포함하는 픽셀부, 상기 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 상기 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 상기 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 전력 공급선을 포함하고,

상기 다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT, 및 EL 소자를 구비하고,

상기 스위칭 TFT의 게이트 전극은 상기 제 1 게이트 신호선들에 접속되고,

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 다수의 소스 신호선들에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 소거 TFT의 게이트 전극은 상기 제 2 게이트 신호선들에 접속되고,

상기 소거 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 소자에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1) 개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2 내지 (n)까지의 임의의 정수임)은 1 프레임 기간에 제공되고,

상기 소스 신호선 구동 회로로부터 디지털 데이터 신호들은 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 상기 다수의 소스 신호선들을 통해 모든 상기 다수의 픽셀들에 제공되고,

상기 모든 다수의 픽셀들에 제공된 상기 디지털 데이터는 상기 소거 기간 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 중에서, 일부의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 및 일부

의 상기 소거 기간들 $Te_1, Te_2, \dots, Te_{(m-1)}$ 은 서로 중첩하고,

상기 (n)개의 기록 기간들 Ta_1, Ta_2, \dots, Ta_n 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta_{(m-1)}$ 로부터 각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te_{(m-1)}$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr_{(m-1)}$ 이고,

각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te_{(m-1)}$ 의 개시로부터 상기 (n)개의 기록 기간들 Ta_1, Ta_2, \dots, Ta_n 에서 각각의 상기 기록 기간들 Ta_1, Ta_2, \dots, Ta_m 의 개시까지의 기간들은 비-디스플레이기간들 $Td_1, Td_2, \dots, Td_{(m-1)}$ 이고,

상기 (n)개의 기록 기간들 Ta_1, Ta_2, \dots, Ta_n 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta_{(m+1)}$ 의 개시로부터 각각의 상기 기록 기간들 $Ta_m, Ta_{(m+1)}, \dots, Ta_n$ 의 다음의 기록 기간의 개시까지의 기간들은, 각각, 디스플레이 기간들 $Tr_m, Tr_{(m+1)}, \dots, Tr_n$ 이고,

상기 디스플레이 기간들 Tr_1, Tr_2, \dots, Tr_n 에서, 상기 다수의 EL 소자들은 발광 또는 비발광하도록 상기 디지털 데이터 신호들에 의해 선택되고,

상기 (n)개의 기록 기간들 Ta_1, Ta_2, \dots, Ta_n 의 길이 및 상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te_{(m-1)}$ 의 길이는 동일하고,

상기 디스플레이 기간들 Tr_1, Tr_2, \dots, Tr_n 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로 표현되고,

상기 디스플레이 기간들 Tr_1, Tr_2, \dots, Tr_n 은 임의의 순서로 나타나는, 전자 장치.

청구항 42

제 41항에 있어서,

상기 (n)개의 기록 기간들 Ta_1, Ta_2, \dots, Ta_n 은 서로 중첩하지 않는, 전자 장치.

청구항 43

제 41항에 있어서,

상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te_{(m-1)}$ 은 서로 중첩하지 않는, 전자 장치.

청구항 44

제 41항에 있어서,

상기 스위칭 TFT, 상기 EL 구동 TFT, 및 상기 소거 TFT는 적어도 하나의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 45

제 41항에 있어서,

상기 전자 공급선이 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태가 되는, 전자 장치.

청구항 46

제 41항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 47

제 41항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 48

제 41항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 49

전자 장치에 있어서,

소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 다수의 픽셀들을 포함하는 픽셀부, 상기 소스 신호선 구동 회로에 접속된 다수의 소스 신호선들, 상기 제 1 게이트 신호선 구동 회로에 접속된 다수의 제 1 게이트 신호선들, 상기 제 2 게이트 신호선 구동 회로에 접속된 다수의 제 2 게이트 신호선들, 및 일정한 전위로 유지되는 전력 공급선을 포함하고,

상기 다수의 픽셀들 각각은 스위칭 TFT, EL 구동 TFT, 소거 TFT 및 EL 소자를 구비하고,

상기 EL 소자는 일정한 전위로 유지되는 픽셀 전극, 대향 전극, 및 상기 픽셀 전극과 대향 전극사이에 형성된 EL 층을 포함하고,

상기 스위칭 TFT의 게이트 전극은 상기 제 1 게이트 신호선들에 접속되고,

상기 스위칭 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 다수의 소스 신호선들에 접속되며, 또다른 하나는 상기 EL 구동 TFT의 게이트 전극에 접속되고,

상기 소거 TFT의 게이트 전극은 상기 제 2 게이트 신호선들에 접속되고,

상기 소거 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기

EL 구동 TFT의 게이트 전극에 접속되고,

상기 EL 구동 TFT의 소스 영역 및 드레인 영역 중 하나는 상기 전력 공급선에 접속되며, 또다른 하나는 상기 EL 소자의 픽셀 전극에 접속되고,

(n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 및 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ (m은 2 내지 (n)까지의 임의의 정수임)은 1 프레임 기간에 제공되고,

상기 소스 신호선 구동 회로로부터 디지탈 데이터 신호들은 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 상기 다수의 소스 신호선들을 통해 모든 상기 다수의 픽셀들에 제공되고,

상기 다수의 픽셀들에 제공된 상기 디지탈 데이터 신호들은 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 에서 모두 소거되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 중에서, 일부의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 및 일부의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m-1)$ 의 개시로부터 각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시까지의 기간들은 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(m-1)$ 이고,

각각의 상기 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 개시로부터 상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m)$ 의 개시까지의 기간들은 비-디스플레이 기간들 $Td_1, Td_2, \dots, Td(m-1)$ 이고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 에서 각각의 상기 기록 기간들 $Ta_1, Ta_2, \dots, Ta(m+1)$ 의 개시로부터 각각의 상기 기록 기간들 $Ta(m), Ta(m+1), \dots, Ta(n)$ 의 다음의 기록 기간들의 개시까지의 기간들은, 각각, 디스플레이 기간들 $Tr(m), Tr(m+1), \dots, Tr(n)$ 이고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 에서, 상기 다수의 EL 소자들은 발광 또는 비발광하도록 상기 디지탈 데이터 신호들에 의해 선택되고,

상기 (n)개의 기록 기간들 $Ta_1, Ta_2, \dots, Ta(n)$ 의 길이 및 상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 의 길이는 동일하고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 의 길이의 비는 $2^0:2^1:\dots:2^{(n-1)}$ 로 표현되고,

상기 디스플레이 기간들 $Tr_1, Tr_2, \dots, Tr(n)$ 은 임의의 순서로 나타나는, 전자 장치.

청구항 50

제 49항에 있어서,

상기 EL 층은 저분자 유기 재료 또는 폴리머 유기 재료인, 전자 장치.

청구항 51

제 49항에 있어서,

상기 저분자 유기 재료는 Alq_3 (트라이스-8-퀴놀리라이트-알루미늄) 또는 TPD(트라이페닐라민 유도체)인, 전자 장치.

청구항 52

제 49항에 있어서,

상기 폴리머 유기 재료는 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카바졸), 또는 폴리카보네이트로 만들어진, 전자 장치.

청구항 53

제 49항에 있어서,

상기 (n)개의 기록 기간 $Ta_1, Ta_2, \dots, Ta(n)$ 은 서로 중첩하지 않는, 전자 장치.

청구항 54

상기 (m-1)개의 소거 기간들 $Te_1, Te_2, \dots, Te(m-1)$ 은 서로 중첩하지 않는, 전자 장치.

청구항 55

제 49항에 있어서,

상기 스위칭 TFT, 상기 EL 구동 TFT, 및 상기 소거 TFT는 적어도 하나의 N 채널 TFT 또는 P 채널 TFT인, 전자 장치.

청구항 56

제 49항에 있어서,

상기 전력 공급선의 전위가 상기 EL 구동 TFT의 상기 게이트 전극에 인가될 때, 상기 EL 구동 TFT는 오프 상태가 되는, 전자 장치.

청구항 57

제 49항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 58

제 49항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 59

제 49항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 60

전자 장치에 있어서,

소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 및 다수의 픽셀들을 포함하는 픽셀부를 포함하고,

상기 다수의 픽셀들은 다수의 EL 소자들을 구비하고,

상기 다수의 EL 소자들의 각각의 구동 장치들은 상기 소스 신호선 구동 회로로부터 출력된 디지털 데이터 신호, 상기 제 1 게이트 신호선 구동 회로로부터 출력된 제 1 선택 회로, 및 상기 제 2 게이트 신호선 구동 회로로부터 출력된 제 2 선택 신호에 의해 제어되는 전자 장치.

청구항 61

제 60항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 62

제 60항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 63

제 60항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

청구항 64

소스 신호선 구동 회로, 제 1 게이트 신호선 구동 회로, 제 2 게이트 신호선 구동 회로, 및 다수의 픽셀들을 포함하는 픽셀부를 포함하는 전자 장치에 있어서,

상기 다수의 픽셀들은 다수의 EL 소자들을 포함하고,

상기 EL 소자의 발광시간은 상기 소스 신호선 구동 회로로부터 출력된 디지털 데이터 신호, 상기 제 1 게이트 신호선 구동 회로로부터 출력된 제 1 선택 신호, 및 상기 제 2 게이트 신호선 구동 회로로부터 출력된 제 2 선택 신호에 의해 제어되어, 그레이 스케일 디스플레이를 실행하는, 전자 장치.

청구항 65

제 64항에 따른 상기 전자 장치를 사용하는, 컴퓨터.

청구항 66

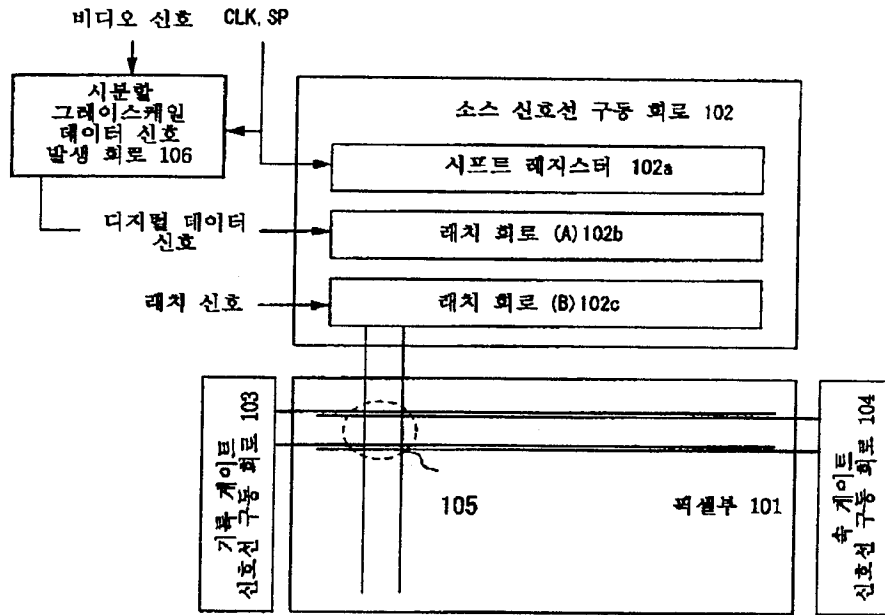
제 64항에 따른 상기 전자 장치를 사용하는, 비디오 카메라.

청구항 67

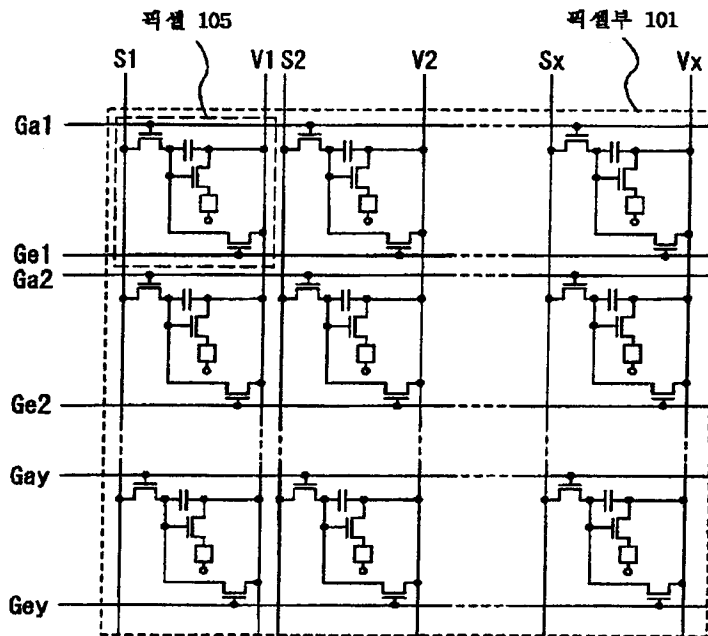
제 64항에 따른 상기 전자 장치를 사용하는, DVD 플레이어.

도면

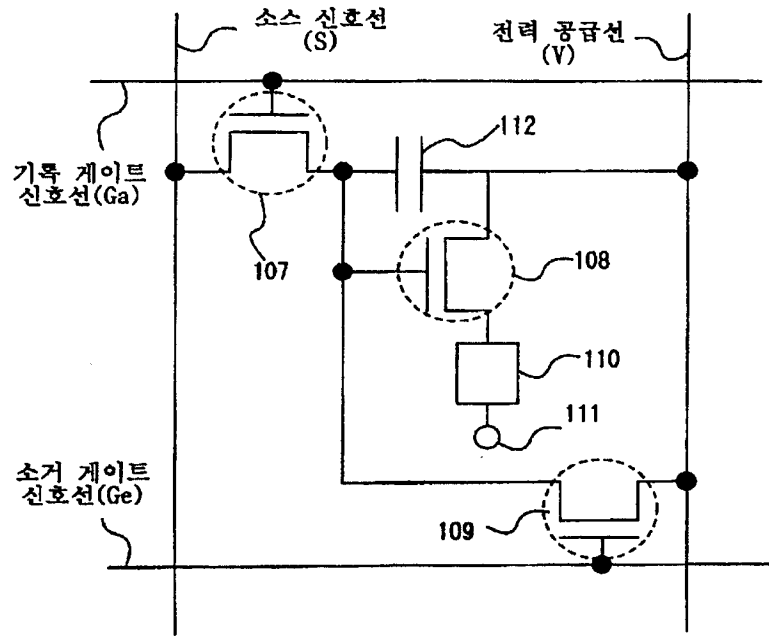
도면1



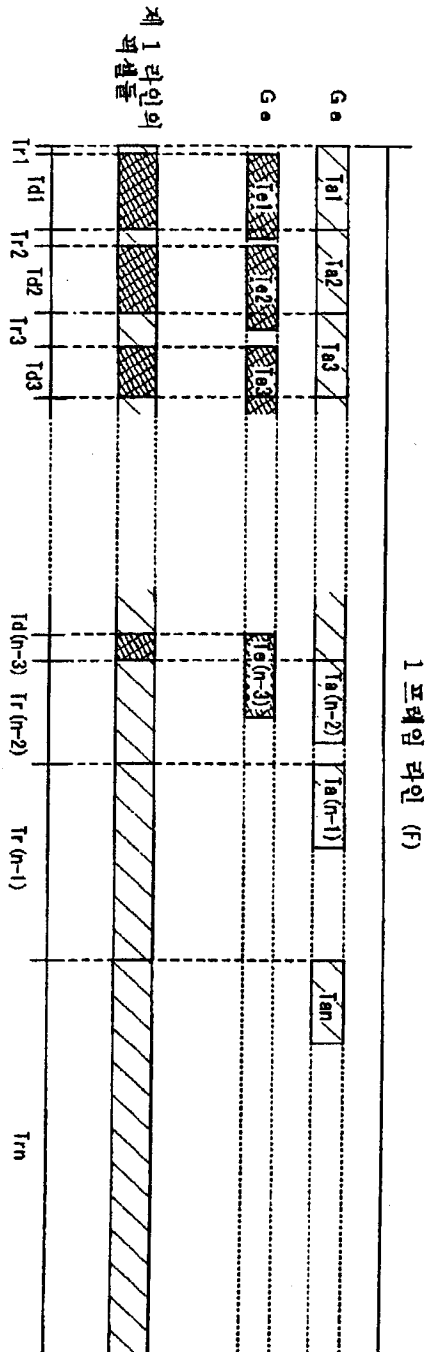
도면2



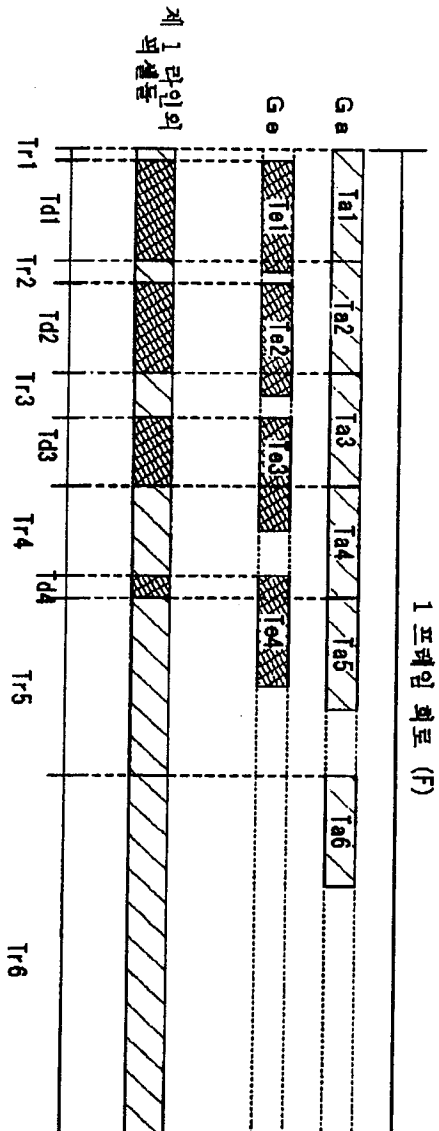
도면3



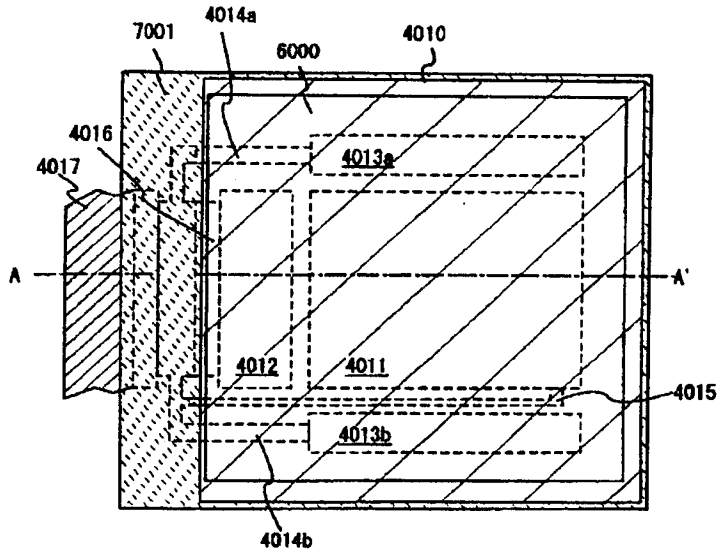
도면 4



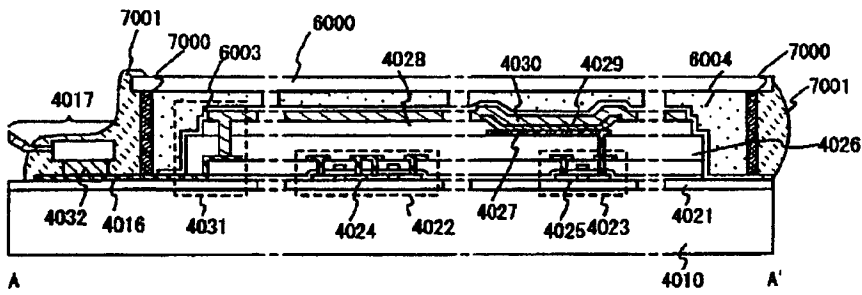
도면 5



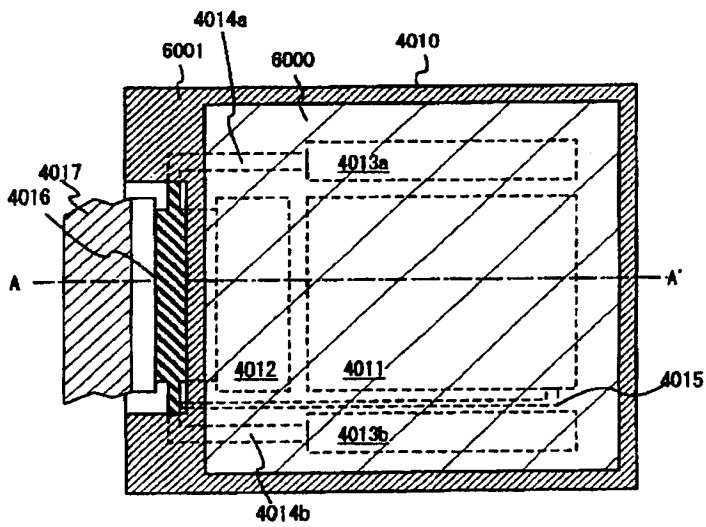
도면6a



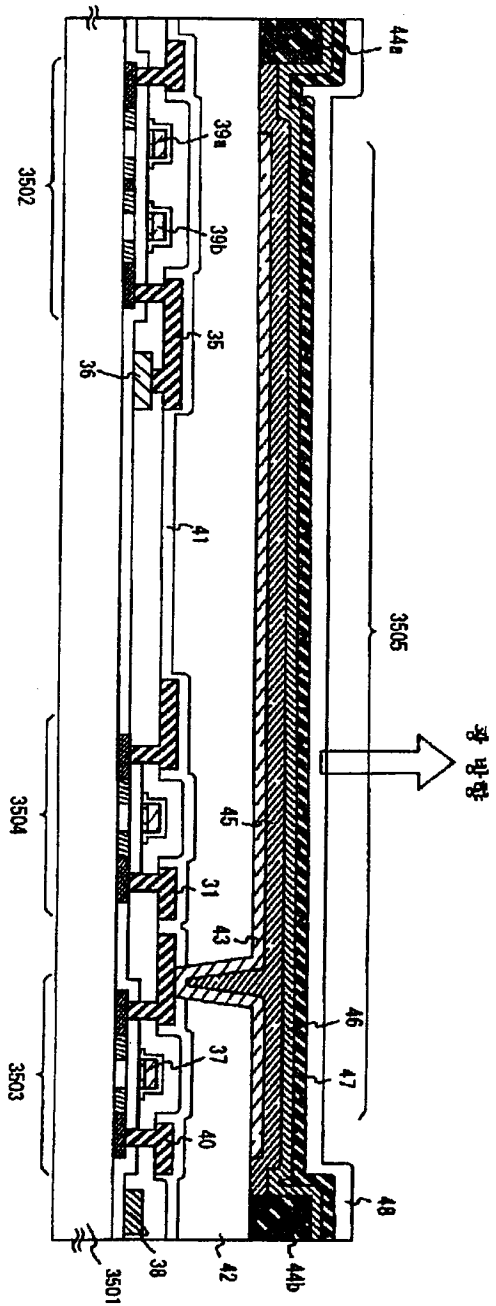
도면6b



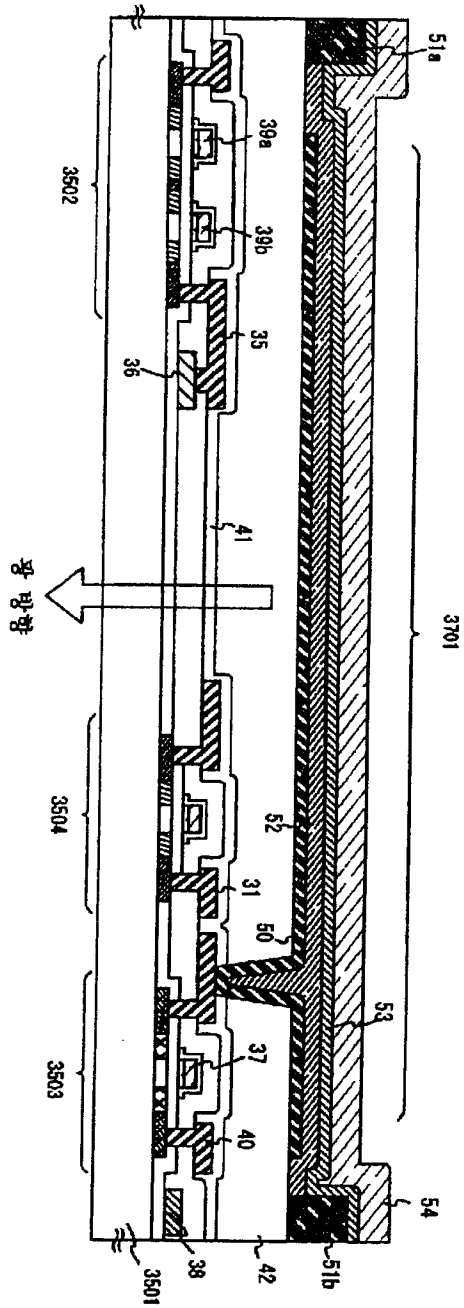
도면7a



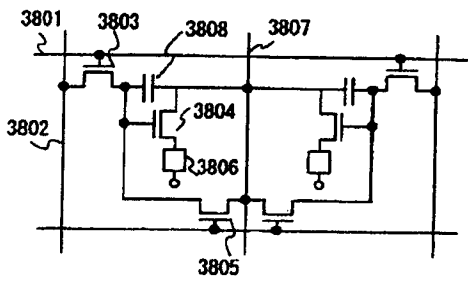
도면 8



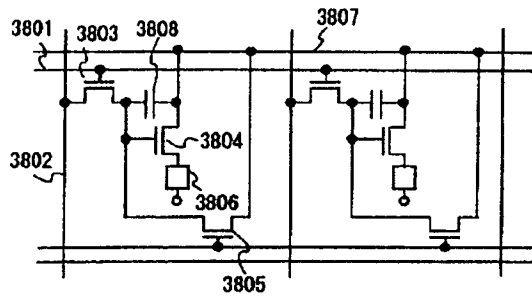
도면9



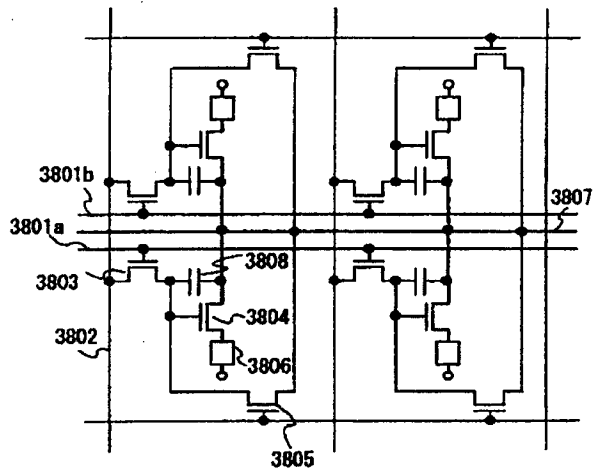
도면 10a



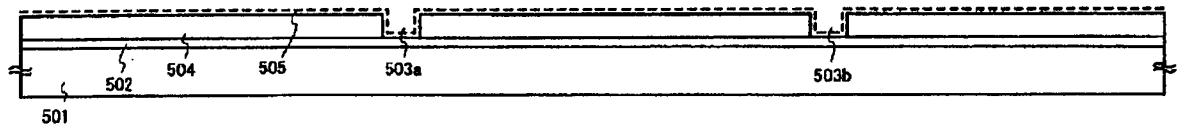
도면10b



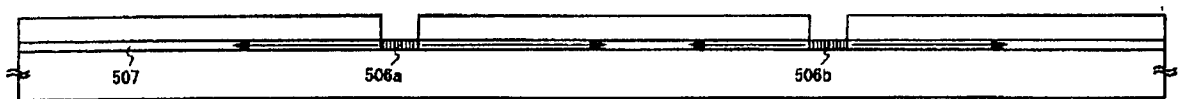
도면10c



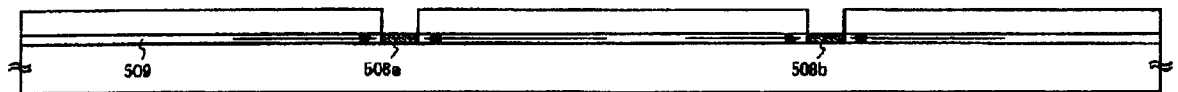
도면11a



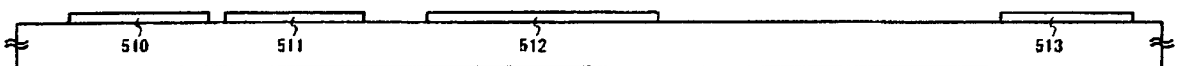
도면11b



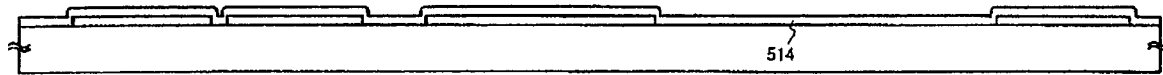
도면11c



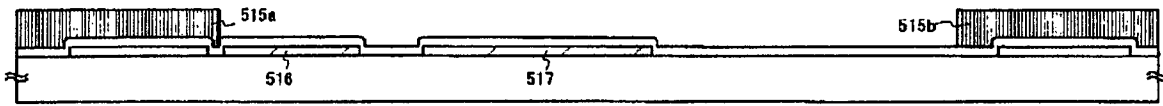
도면11d



도면 11e



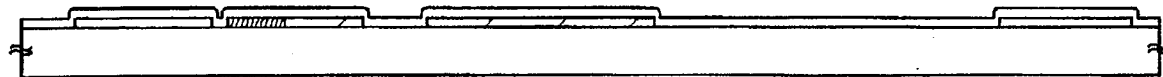
도면 12a



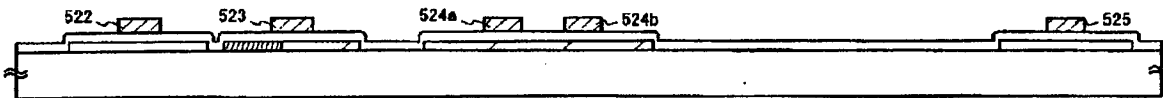
도면 12b



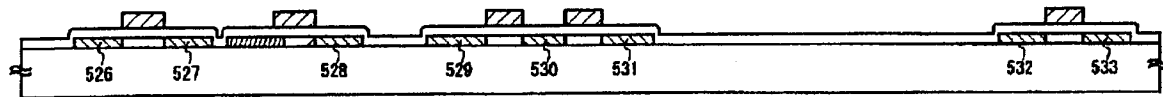
도면 12c



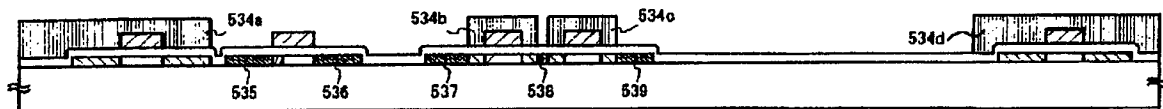
도면 12d



도면 13a



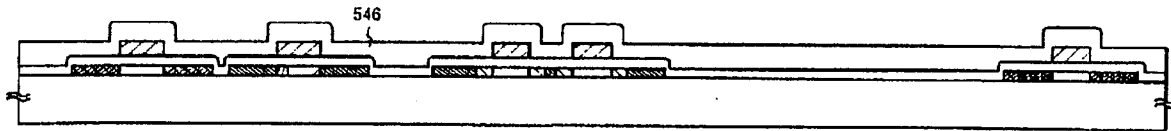
도면 13b



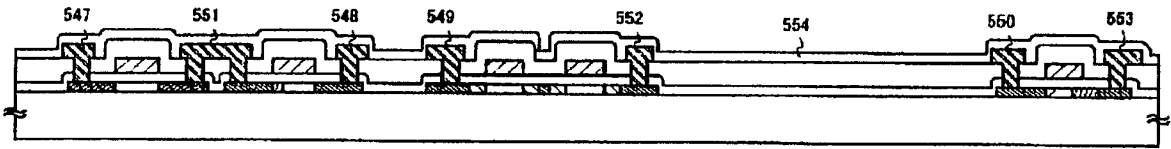
도면 13c



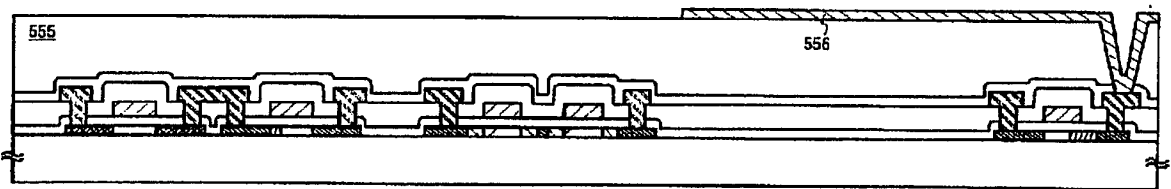
도면 13d



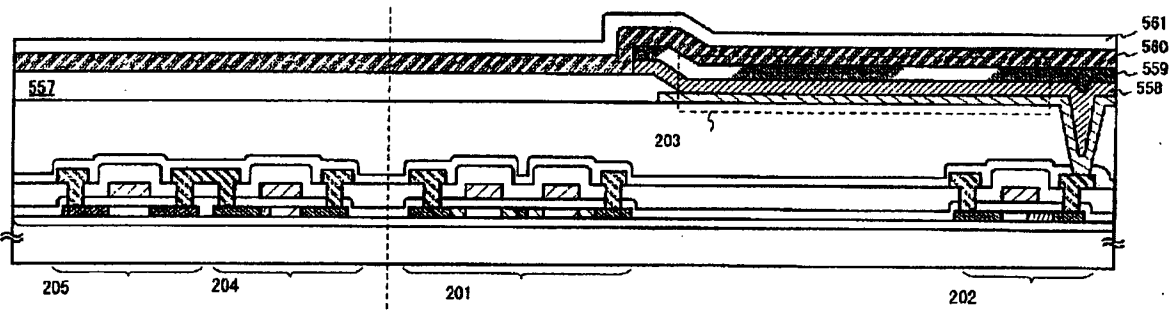
도면 14a



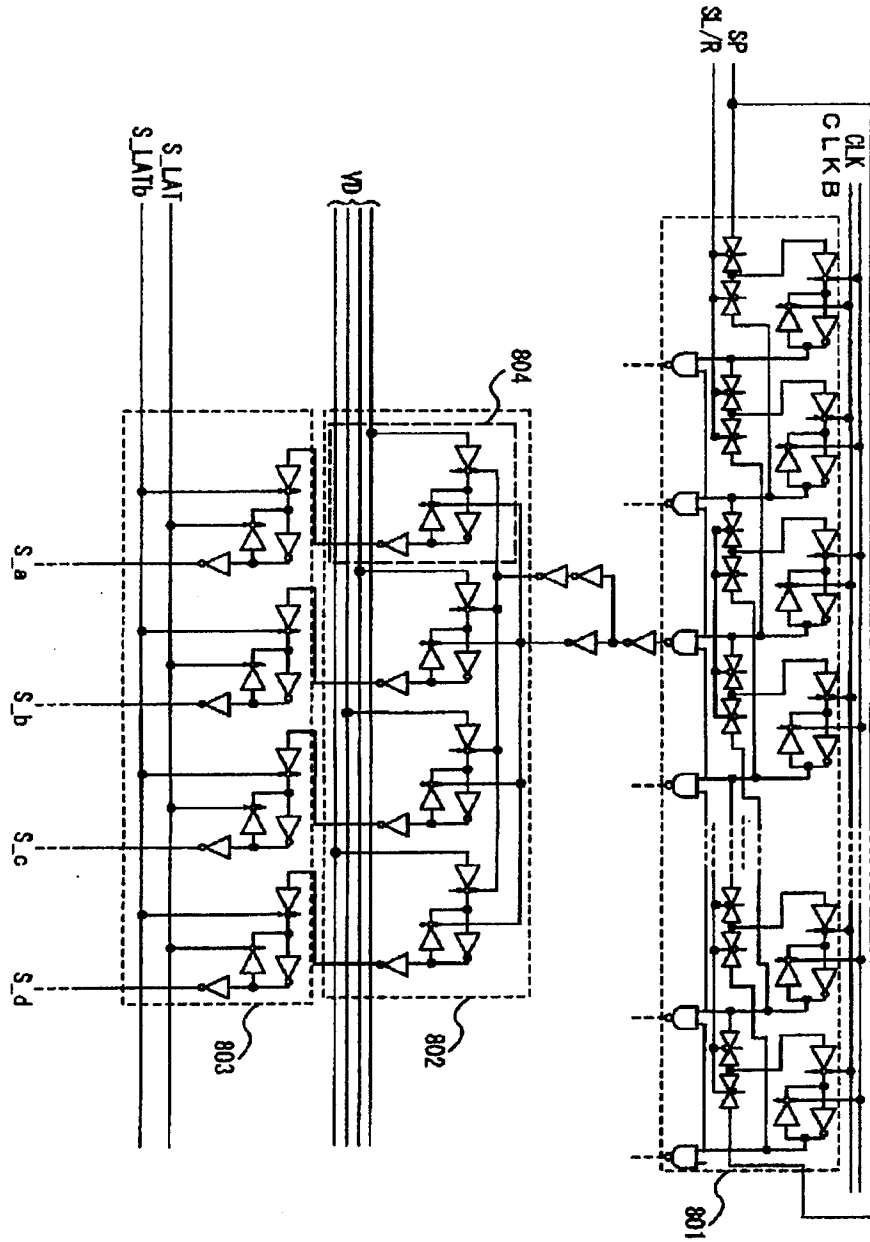
도면 14b



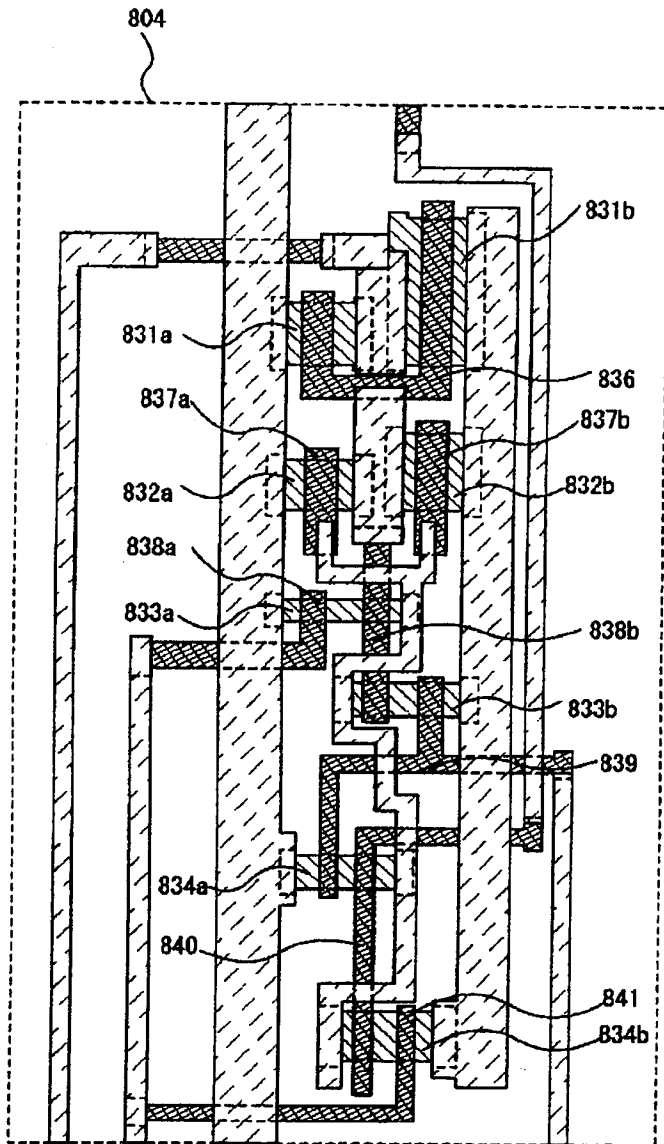
도면 14c



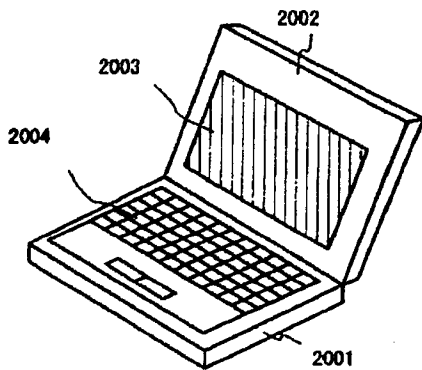
도면 15



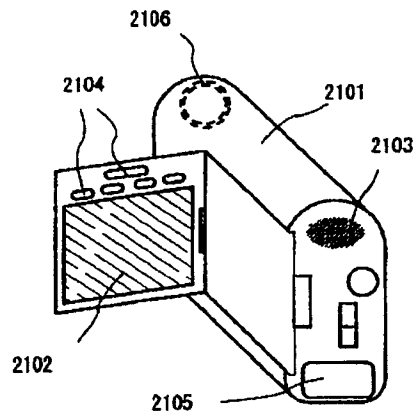
도면 16



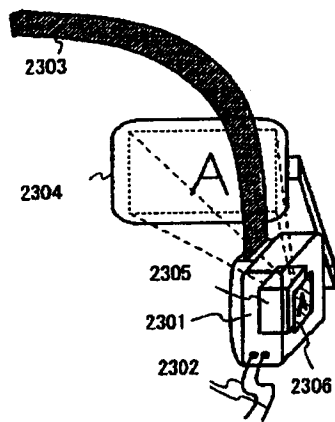
도면 17a



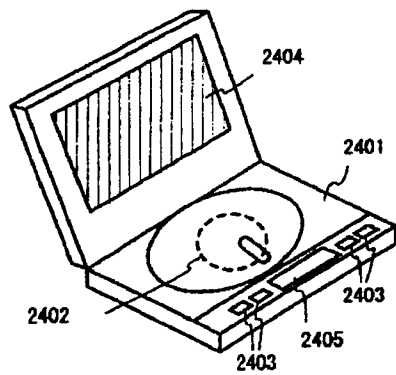
도면 17b



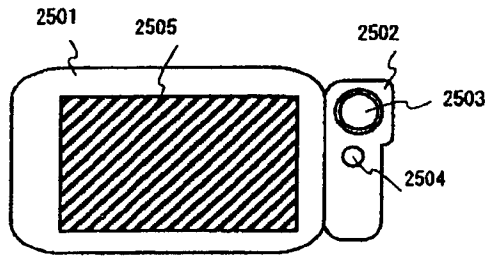
도면 17c



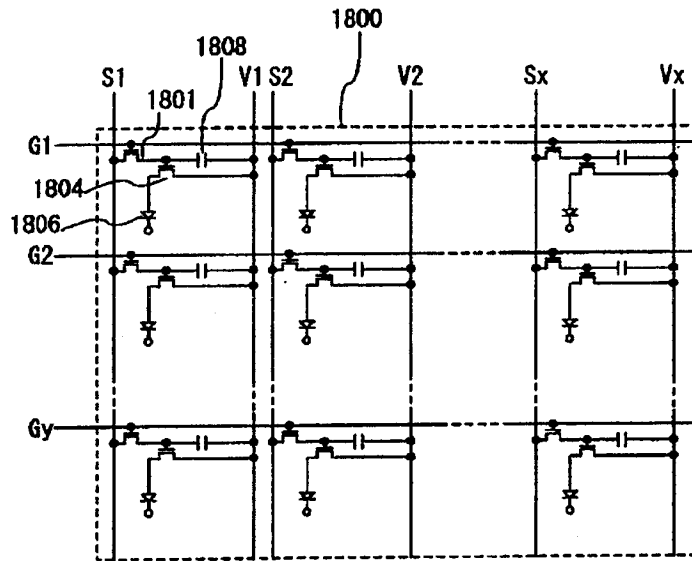
도면 17d



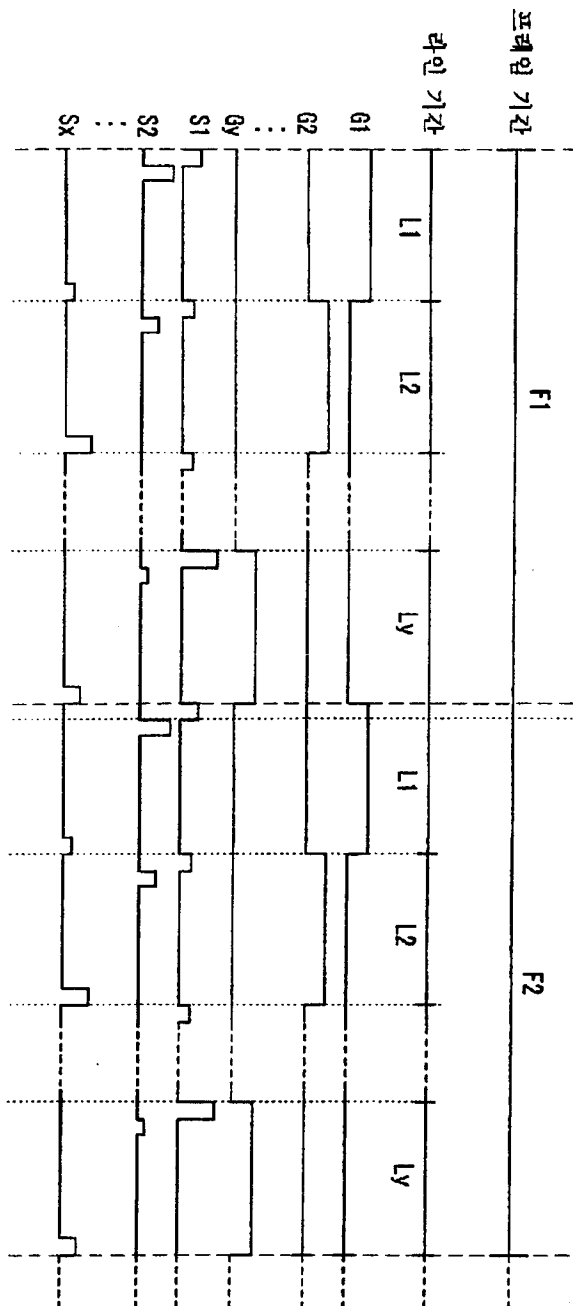
도면 17e



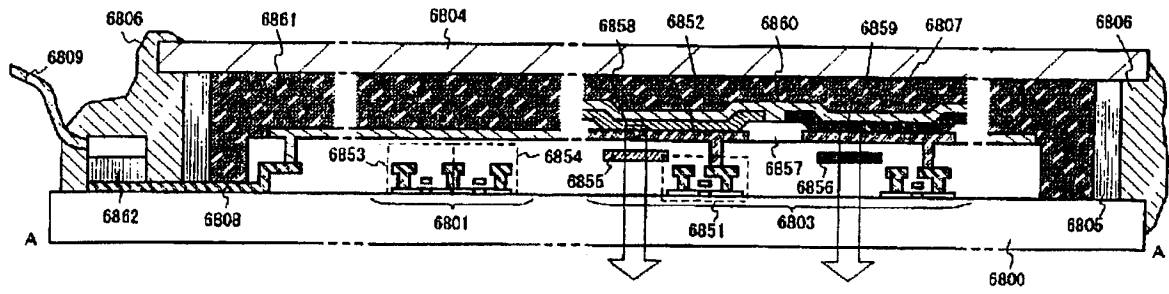
도면 18



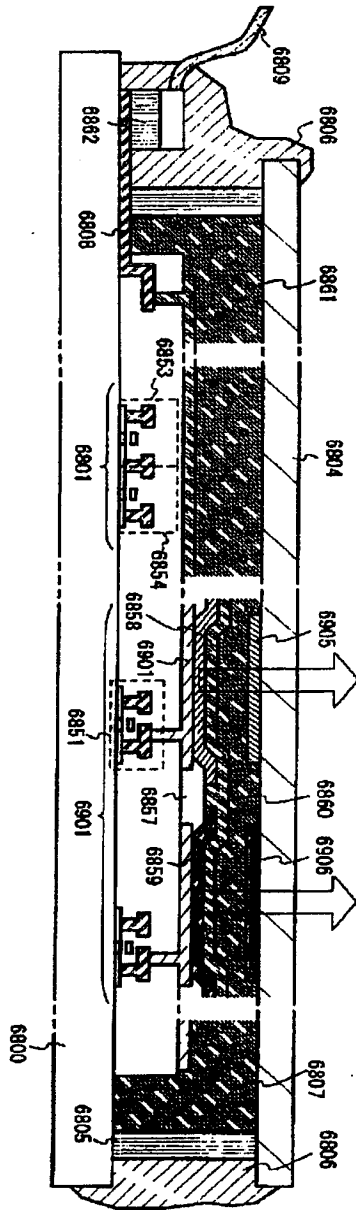
도면 19



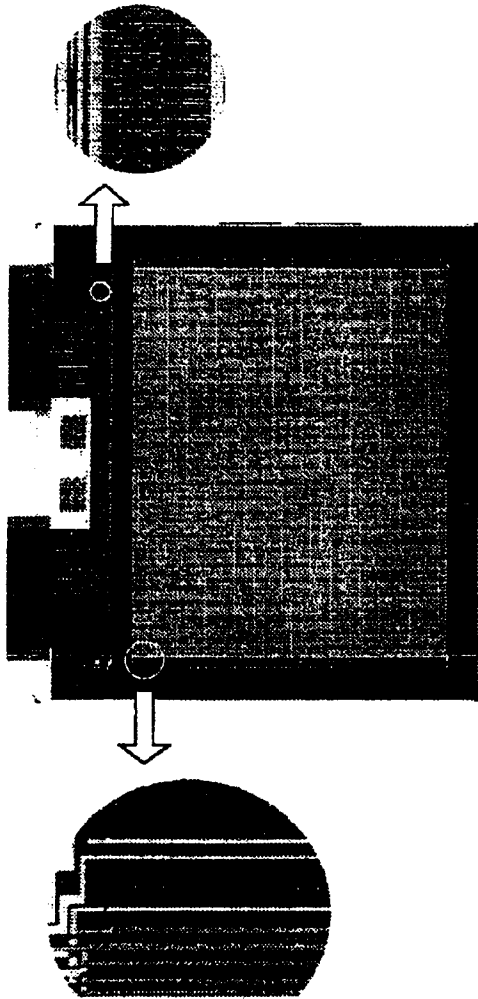
도면21b



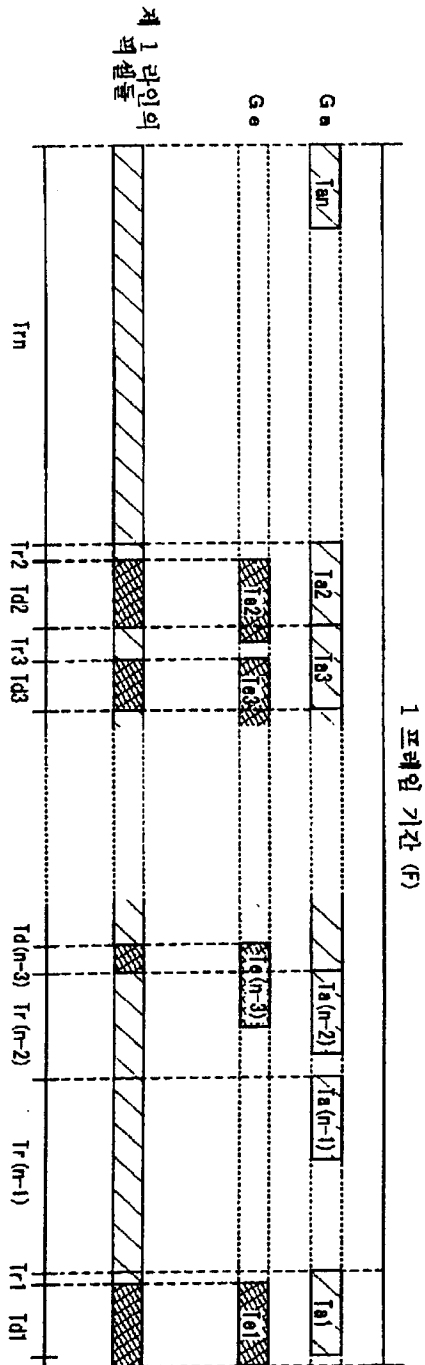
도면22



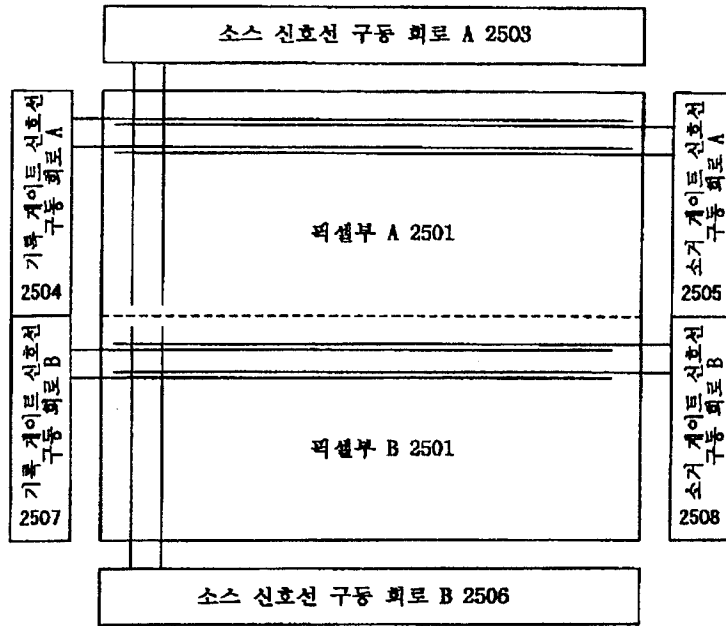
도면23



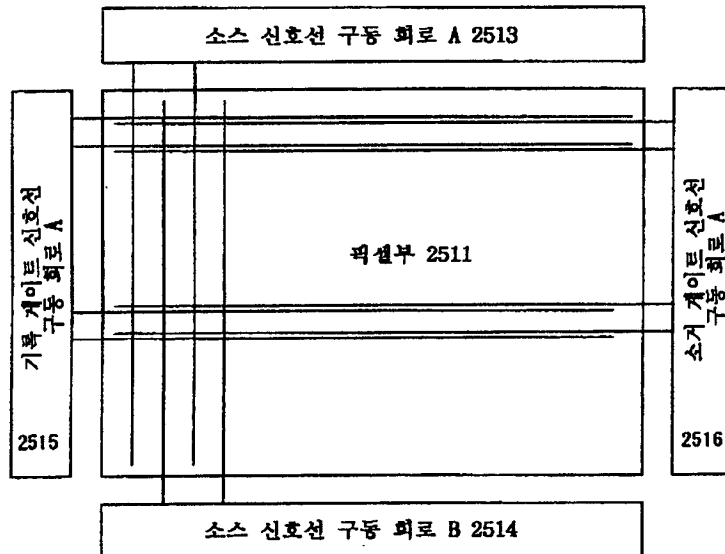
도면24



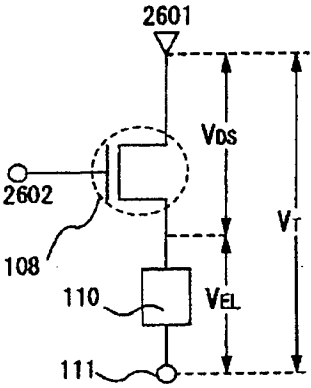
도면25a



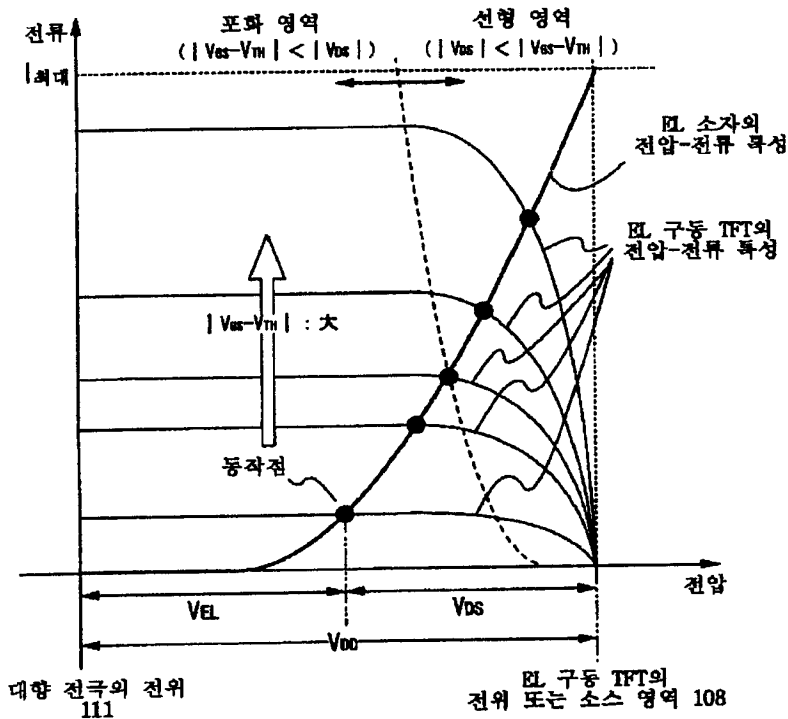
도면25b



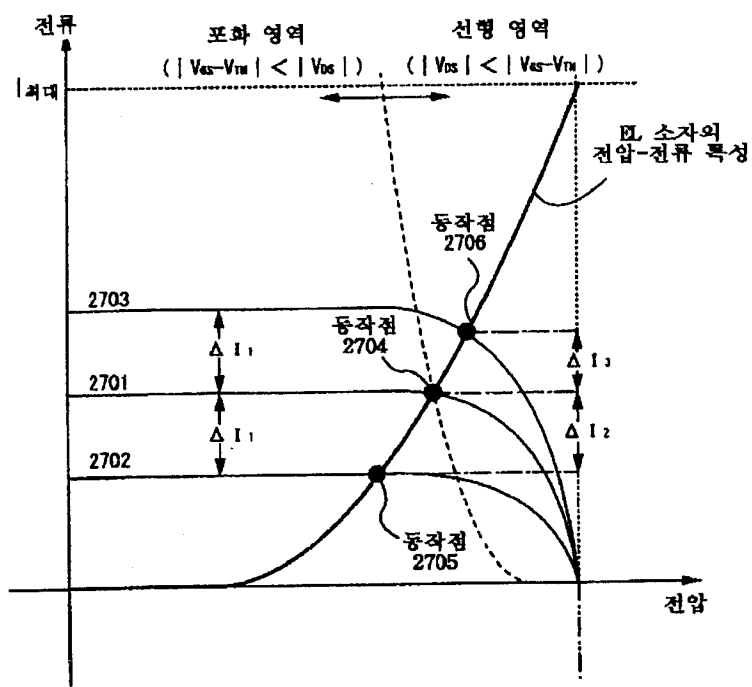
도면26a



도면26b



도면27



도면28

